

con. to KR 10-282026

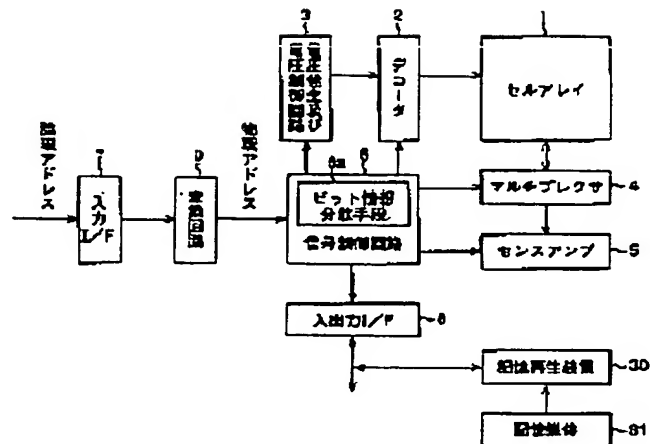
MULTIPLE-VALUE SEMICONDUCTOR STORAGE, ITS WRITING METHOD AND READING METHOD, AND STORAGE MEDIUM

Patent number:	JP10222989
Publication date:	1998-08-21
Inventor:	HAZAMA KATSUKI
Applicant:	NIPPON STEEL CORP
Classification:	
- international:	G11C11/56; G11C16/02
- european:	
Application number:	JP19970261041 19970909
Priority number(s):	

Abstract of JP10222989

PROBLEM TO BE SOLVED: To efficiently correct an error even if multiple-value information stored in a multiple-value memory cell is lost.

SOLUTION: A bit information dispersion means 6a for storing each bit for constituting one coded word that is coded by an arbitrary coding method by dispersing it into a plurality of multiple-value memory cells is provided at a memory cell array 1 of a multiple-value semiconductor storage with a plurality of multiple-value memory cells for retaining at least three storage states. Then, even an error results in a plurality of bits stored at one multiple-value memory, only information on the minimum number of bits whose error can be corrected is lost for one coded word.

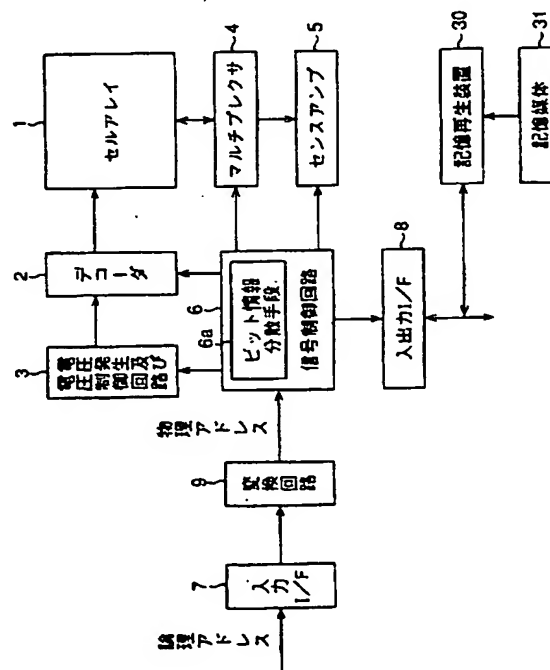


Data supplied from the *esp@cenet* database - Worldwide

(11)特許出願公開番号

(43)公開日 平成10年(1998)8月21日

641



【特許請求の範囲】

【請求項1】 各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルと、任意の符号化方法によって符号化された少なくとも第1の符号と第2の符号が与えられ、前記第1の符号を構成する複数の第1の情報ビットと前記第2の符号を構成する複数の第2の情報ビットのうち、同じ桁の情報ビット同士が1組となって対応する前記多値メモリセルに記憶されるように前記第1及び第2の情報ビットを並べ替える並べ替え手段と、

並べ替えられた前記情報ビットに対応して所定電圧を発生させる電圧発生手段と、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加する電圧印加手段とを備えることを特徴とする多値半導体記憶装置。

【請求項2】 前記並べ替え手段は、前記符号化方法の誤り訂正能力に応じて、前記各多値メモリセルに記憶するビット数を制御することを特徴とする請求項1に記載の多値半導体記憶装置。

【請求項3】 前記並び替え手段は、前記複数の多値メモリセルの1つが記憶するビット数が m であるときに、 m 個の情報ビットを前記1つの多値メモリセルに記憶させるように、符号長 n の符号 m 個を $m \times n$ 配列の各行として並べ替えることを特徴とする請求項1又は2に記載の多値半導体記憶装置。

【請求項4】 前記多値メモリセルは不揮発性半導体メモリであることを特徴とする請求項1〜3のいずれか1項に記載の多値半導体記憶装置。

【請求項5】 各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルを備えた多値半導体記憶装置への情報ビットの書き込み方法であって、

任意の符号化方法によって符号化された少なくとも第1の符号と第2の符号が与えられ、前記第1の符号を構成する複数の第1の情報ビットと前記第2の符号を構成する複数の第2の情報ビットのうち、同じ桁の情報ビット同士が1組となって対応する前記多値メモリセルに記憶されるように前記第1及び第2の情報ビットを並び替える第1のステップと、

前記並び替えられた前記情報ビットに対応して所定電圧を発生させる第2のステップと、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加する第3のステップとを備えることを特徴とする書き込み方法。

【請求項6】 コンピュータによって各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数の多値メモリセルを備えた多値半導体記憶装置に情報ビットを書き込むためのプログラムが記憶された記憶媒体であって、任意の符号化方法によって符号化された少なくとも第1

の符号と第2の符号において、前記第1の符号を構成する複数の第1の情報ビットと、前記第2の符号を構成する複数の第2の情報ビットとのうち、同じ桁の情報ビット同士が1組として前記複数の多値メモリセルの1つに記憶されるように前記第1及び第2の情報ビットを並べ替えるプログラムが記憶されたことを特徴とする記憶媒体。

【請求項7】 並べ替えられた前記第1及び第2の情報ビットに応じた所定電圧を発生させ、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加するプログラムが記憶されたことを特徴とする請求項6に記載の記憶媒体。

【請求項8】 論理アドレスが与えられて物理アドレスに変換する変換手段と、

前記物理アドレスを含む物理アドレス空間に対応して配置され、 n 個($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルと、

前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する判定手段と、

前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する特定手段と、

特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる出力手段とを備えたことを特徴とする多値半導体記憶装置。

【請求項9】 前記各多値メモリセルは少なくとも1つのトランジスタを含み、前記特定手段は、

前記判定値に対応する電圧を発生させる第1の手段と、前記物理アドレスが与えられてアドレス信号を出力する第2の手段と、

前記アドレス信号に反応して前記電圧を前記物理アドレスに対応する前記多値メモリセルに与える第3の手段と、

前記電圧が与えられた前記トランジスタのソースドレイン間に電流が流れるか否かを判定する第4の手段と、前記第4の手段における判定結果により前記最上位の前記成分 X_1 を特定する第5の手段とを含むことを特徴とする請求項8に記載の多値半導体記憶装置。

【請求項10】 前記特定手段は、

前記各多値メモリセルの出力部位に一方の入力端子が接続され、前記最上位の前記成分 X_1 に対応する電圧が供給される比較器と、

前記比較器の他方の入力端子に接続され、この他方の入力端子に前記所定の判定値に対応する電圧を供給する電圧供給回路とを含み、

前記比較器の判定結果により前記最上位の前記成分 X_1 を特定することを特徴とする請求項8に記載の多値半導体記憶装置。

【請求項11】 前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合、前記特定手段は、前記成分 (X_1, X_2, \dots, X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定することを特徴とする請求項8に記載の多値半導体記憶装置。

【請求項12】 前記各多値メモリセルは少なくとも1つのトランジスタを含み、前記特定手段は、前記 n 個の判定値に対応する n 個の電圧を発生させる第1の手段と、前記物理アドレスが与えられてアドレス信号を出力する第2の手段と、前記アドレス信号にตอบสนองして前記電圧を前記物理アドレスに対応する前記多値メモリセルに与える第3の手段と、前記電圧が与えられた前記トランジスタのソースドレイン間に電流が流れるまで最大 n 種の電圧を前記トランジスタのゲートに所定の順序で与える第4の手段と、前記電流を検出することにより前記成分 (X_1, X_2, \dots, X_n) を特定する第5の手段とを含むことを特徴とする請求項11に記載の多値半導体記憶装置。

【請求項13】 前記特定手段は、前記各多値メモリセルの出力部位に一方の入力端子が接続され、前記成分 (X_1, X_2, \dots, X_n) に対応する各々の電圧が供給される比較器と、前記比較器の他方の入力端子に接続され、この他方の入力端子に前記最大 n 個の判定値に対応する電圧を供給する電圧供給回路とを含み、前記比較器の判定結果により前記最上位の前記成分 (X_1, X_2, \dots, X_n) を特定することを特徴とする請求項11に記載の多値半導体記憶装置。

【請求項14】 物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含むことを特徴とする読み出し方法。

【請求項15】 前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 ($X_1, X_2, \dots,$

X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定する第5のステップを更に含むことを特徴とする請求項14に記載の読み出し方法。

【請求項16】 物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、前記トランジスタのゲートに所定の判定電圧を印加して、前記トランジスタのソースドレイン間に電流が流れる否かにより最上位の前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含むことを特徴とする読み出し方法。

【請求項17】 前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記トランジスタのゲートに n 個の異なる判定電圧を所定の順序で、前記トランジスタのソースドレイン間に電流が流れるまで最大 n 回印加して前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むことを特徴とする請求項16に記載の読み出し方法。

【請求項18】 物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 に対応する電圧と所定の判定電圧とを比較し、比較結果により前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含むことを特徴とする読み出し方法。

【請求項19】 前記第2のステップにおいて、前記論

理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、

前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) に対応する電圧と前記成分 (X_1, X_2, \dots, X_n) の各々の成分に対応する電圧とを比較し、比較結果により前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むことを特徴とする請求項18に記載の読み出し方法。

【請求項20】 コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されていることを特徴とする記憶媒体。

【請求項21】 前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定する第5のステップを更に含むプログラムが記憶されていることを特徴とする請求項20に記載の記憶媒体。

【請求項22】 コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、前記トランジスタのゲートに所定の判定電圧を印加して、前記トランジスタのソースドレイン間に電流が流れる否かにより最上位の前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルの

うちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されていることを特徴とする記憶媒体。

【請求項23】 前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記トランジスタのゲートに n 個の異なる判定電圧を所定の順序で、前記トランジスタのソースドレイン間に電流が流れるまで最大 n 回印加して前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むプログラムが記憶されていることを特徴とする請求項22に記載の記憶媒体。

【請求項24】 コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 に対応する電圧と所定の判定電圧とを比較し、比較結果により前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されていることを特徴とする記憶媒体。

【請求項25】 前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) に対応する電圧と前記成分 (X_1, X_2, \dots, X_n) の各々の成分に対応する電圧とを比較し、比較結果により前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むプログラムが記憶されていることを特徴とする請求項24に記載の記憶媒体。

【請求項26】 複数の多値メモリセルを具備し、前記各多値メモリセルが3個以上の相異なる所定の記憶状態のうちの1つを保持する多値半導体記憶装置において、任意の符号化方法によって符号化された1つの符号を構成する各ビットを前記複数の多値メモリセルに分散させて記憶するようにする情報ビット分散手段を具備することを特徴とする多値半導体記憶装置。

【請求項27】 前記情報ビット分散手段は、前記1つの符号の誤り訂正能力に応じて、1つの多値メモリセルに記憶する同一符号におけるビットの数を制御すること

を特徴とする請求項26に記載の多値半導体記憶装置。

【請求項28】 前記情報ビット分散手段は、前記複数の多値メモリセルに分散させて記憶する符号を、符号長 n の符号 m 個を $m \times n$ 配列の各行として並べ、前記多値メモリセルが記憶するビット数が m であるときに、前記配列の各列に配置される m 個の情報を前記多値メモリの1個に記憶させることを特徴とする請求項27に記載の多値半導体記憶装置。

【請求項29】 前記多値メモリセルは不揮発性半導体メモリであることを特徴とする請求項26～28のいずれか1項に記載の多値半導体記憶装置。

【請求項30】 請求項26～29のいずれか1項に記載の情報ビット分散手段としてコンピュータを機能させるためのプログラムを格納した記憶媒体。

【請求項31】 任意の符号化方法によって符号化された符号列を、3個以上の記憶状態を保持する複数の多値メモリセルを具備している多値半導体記憶装置に書き込む方法において、前記任意の符号化方法によって符号化された1つの符号を構成する各ビットを複数の多値メモリセルに分散させて記憶させることを特徴とする多値半導体記憶装置の書き込み方法。

【請求項32】 請求項31に記載の多値半導体記憶装置の書き込み方法がコンピュータから読み出し可能に格納されている記憶媒体。

【請求項33】 論理アドレスが入力される入力手段と、前記論理アドレスから物理アドレスを算出する変換手段と、制御ゲートと電荷蓄積層とを有し、前記物理アドレスに対応して配置されており、各々が2次元以上の成分により表現される3値以上の記憶状態を保持する多値メモリセルと、前記物理アドレスに対応した前記多値メモリセルを選択するとともに、前記入力手段に入力される前記論理アドレスに応じて選択された前記多値メモリセルに記憶された前記成分の中から出力する成分を指定する制御手段と、前記制御手段により指定された前記多値メモリセルの前記成分のデータを出力する出力手段とを備え、前記成分のうちの少なくとも1つの成分のデータを1回の判定で特定する判定値が存在し、前記入力手段に入力した前記論理アドレスが前記物理アドレスが張るアドレス空間と1対1対応する部分空間に含まれるものときには、前記制御手段が当該制御手段により指定された前記多値メモリセルの前記成分のデータを前記判定値で特定し、このデータを前記出力手段から出力することを特徴とする多値半導体記憶装置。

【請求項34】 前記多値メモリセルは、 n 次元($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n

値の記憶状態を保持し、

少なくとも前記 X_1 成分のデータを1回の判定で特定する判定値が存在するとともに、前記部分空間に含まれる前記論理アドレスのデータが前記 X_1 成分に格納されており、

前記部分空間に含まれる前記論理アドレスが前記入力手段に入力されたときには、対応する前記多値メモリセルの前記記憶状態のうち、前記制御手段により前記判定値で特定される前記 X_1 成分のデータを前記出力手段から出力することを特徴とする請求項33に記載の多値半導体記憶装置。

【請求項35】 X_2, \dots, X_n 成分のデータを特定する各判定値が存在するとともに、前記部分空間であるアドレス空間 A_1 に近接するアドレス空間 A_2, \dots, A_n に含まれる前記論理アドレスのデータが前記アドレス空間 A_1 に近い順に前記 X_2, \dots, X_n 成分に順次格納されており、

前記入力手段に入力された前記論理アドレスのアドレス空間に応じて、前記制御手段が X_k (但し、 $k=1, 2, \dots, n$)成分を前記各判定値による k 回の判定で特定し、この X_k 成分のデータを前記出力手段から出力することを特徴とする請求項34に記載の多値半導体記憶装置。

【請求項36】 前記電荷蓄積層が浮遊ゲートであることを特徴とする請求項33～35のいずれか1項に記載の多値半導体記憶装置。

【請求項37】 制御ゲートと電荷蓄積層とを備え、入力された論理アドレスから算出された物理アドレスに対応して配置されてなる多値メモリセルを有する多値半導体記憶装置の読み出し方法において、

前記多値メモリセルには、各々が2次元以上の成分により表現される3値以上の記憶状態が保持されており、前記成分の少なくとも1つの成分のデータを特定する判定値が存在し、

前記入力手段に入力した前記論理アドレスが前記物理アドレスが張るアドレス空間と1対1対応する部分空間に含まれるものであるときには、前記物理アドレスにより選択された前記多値メモリセルの前記制御ゲートに前記判定値の電圧を印加して、前記多値メモリセルのソース／ドレイン間に電流が流れるか否かによって前記多値メモリセルの前記成分のデータを特定して出力することを特徴とする多値半導体記憶装置の読み出し方法。

【請求項38】 前記多値メモリセルには、 n 次元($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n 値の記憶状態が保持されており、

少なくとも前記 X_1 成分のデータを特定する判定値が存在するとともに、前記部分空間に含まれる前記論理アドレスのデータが前記 X_1 成分に格納されており、前記部分空間に含まれる前記論理アドレスが前記入力手段に入力されたときには、対応する前記多値メモリセル

の前記記憶状態のうち、前記前記値で特定される前記 X_1 成分のデータを前記出力手段から出力することを特徴とする請求項37に記載の半導体記憶装置の読み出し方法。

【請求項39】 X_2, \dots, X_n 成分のデータを特定する各判定値が存在するとともに、前記部分空間であるアドレス空間 A_1 に近接するアドレス空間 A_2, \dots, A_n に含まれる前記論理アドレスのデータが前記アドレス空間 A_1 に近い順に前記 X_2, \dots, X_n 成分に順次格納されており、

前記入力手段に入力された前記論理アドレスのアドレス空間に応じて、 X_k （但し、 $k=1, 2, \dots, n$ ）成分のデータを前記各判定値による k 回の判定で特定し、この X_k 成分を出力することを特徴とする請求項38に記載の多値半導体記憶装置の読み出し方法。

【請求項40】 請求項37～39のいずれか1項に記載の読み出し方法の手順をコンピュータに実行させるためのプログラムを格納した記憶媒体。

【請求項41】 各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数の多値メモリセルと、

第1の記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ第1の符号値に変換する第1の符号化手段と、

第2の記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ第2の符号値に変換する第2の符号化手段と、

前記第1、第2の符号値の同じ桁同士の符号値情報を1組として、対応する前記多値メモリセルに記憶されるように2組以上作成する並べ替え手段とを含むことを特徴とする多値半導体記憶装置。

【請求項42】 前記第1、第2の符号値が、同一の桁数を有することを特徴とする請求項41に記載の多値半導体記憶装置。

【請求項43】 前記任意の符号化方法が、2進法による符号化方法であることを特徴とする請求項41又は42に記載の多値半導体記憶装置。

【請求項44】 前記多値メモリセルが、制御ゲートと浮遊ゲートとを有することを特徴とする請求項41～43のいずれか1項に記載の多値半導体記憶装置。

【請求項45】 前記多値メモリセルが、MNOS、マスクROM、EEPROM、EPROM、PROM、フラッシュ不揮発性メモリのうちの少なくとも1つであることを特徴とする請求項41～44のいずれか1項に記載の多値半導体記憶装置。

【請求項46】 前記第1、第2の符号値から、前記第1、第2の記憶情報に生じた誤りを検出して訂正する訂正手段を更に備えることを特徴とする請求項41～45のいずれか1項に記載の多値半導体記憶装置。

【請求項47】 各々が3個以上の相異なる所定の記憶

状態のうちの1つを保持する複数の多値メモリセルと、

入力された記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ符号値に変換する符号化手段と、

前記符号化手段によって得られた前記符号値を、任意の桁数で分割して、少なくとも2つの符号化情報ブロックを作成し、前記各符号化情報ブロックの同じ桁の符号化情報を1組として前記多値メモリセルに記憶させる分割記憶手段とを備えたことを特徴とする多値半導体記憶装置。

【請求項48】 前記各多値メモリセルに記憶された前記符号化情報を読み出し、前記符号化方法の有する誤り訂正能力に従って前記符号化情報からなる符号列を訂正して出力する読み出し手段を更に含むことを特徴とする請求項47に記載の多値半導体記憶装置。

【請求項49】 前記読み出し手段は、前記各多値メモリセルからそれぞれ少なくとも所定位のビット情報を読み出して前記符号列を作成して出力することを特徴とする請求項48に記載の多値半導体記憶装置。

【請求項50】 前記多値メモリセルは、4個の相異なる所定の記憶状態のうちの1つを保持することが可能なものであり、

前記分割記憶手段は、前記符号値を、桁数の等しい2つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の2つの符号化情報を1組として前記多値メモリセルに記憶させることを特徴とする請求項49に記載の多値半導体記憶装置。

【請求項51】 前記読み出し手段は、2つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力することを特徴とする請求項50に記載の多値半導体記憶装置。

【請求項52】 前記多値メモリセルは、8個の相異なる所定の記憶状態のうちの1つを保持することが可能なものであり、

前記分割記憶手段は、前記符号値を、桁数の等しい3つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の3つの符号化情報を1組として前記多値メモリセルに記憶させることを特徴とする請求項49に記載の多値半導体記憶装置。

【請求項53】 前記読み出し手段は、3つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力することを特徴とする請求項52に記載の多値半導体記憶装置。

【請求項54】 前記読み出し手段は、1つの前記各符号化情報ブロックと2つの前記各符号化情報ブロックが結合されてなる情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力することを特徴とする請求項52に記載の多値半導体記憶装置。

【請求項55】 前記多値メモリセルは、16個の相異

なる所定の記憶状態のうちの1つを保持することが可能なものであり、

前記分割記憶手段は、前記符号値を、桁数の等しい4つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の4つの符号化情報を1組として前記多値メモリセルに記憶させることを特徴とする請求項49に記載の多値半導体記憶装置。

【請求項56】 前記読み出し手段は、4つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力することを特徴とする請求項55に記載の多値半導体記憶装置。

【請求項57】 前記読み出し手段は、それぞれ2つの前記各符号化情報ブロックが結合されてなる各情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力することを特徴とする請求項55に記載の多値半導体記憶装置。

【請求項58】 前記多値メモリセルが、制御ゲートと浮遊ゲートとを有することを特徴とする請求項47～57のいずれか1項に記載の多値半導体記憶装置。

【請求項59】 前記多値メモリセルが、MNOS、マスクROM、EEPROM、EPROM、PROM、フラッシュ不揮発性メモリのうちの少なくとも1つであることを特徴とする請求項47～57のいずれか1項に記載の多値半導体記憶装置。

【請求項60】 前記冗長ビットは、前記2つの符号化情報ブロックを基に前記2つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットとの合計が前記符号化列のビット数となるような冗長ビットであることを特徴とする請求項51に記載の多値半導体記憶装置。

【請求項61】 前記冗長ビットは、前記3つの符号化情報ブロックを基に前記3つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットの合計が前記符号化列のビット数となるような冗長ビットであることを特徴とする請求項53に記載の多値半導体記憶装置。

【請求項62】 前記冗長ビットは、前記3つの符号化情報ブロックを基にハミング符号化により前記3つの符号化情報ブロックの各々に対応して第1の冗長ビットが生成され、前記3つの符号化情報ブロックの各々に対応する前記第1の冗長ビットを付加して符号列が生成され、前記各符号列に含まれるビット全ての排他論理和を算出して前記各符号列に対応して第2の冗長ビットが生成され、前記各符号列のビットと対応する前記第2の冗長ビットとの合計が前記符号列のビット数となるような冗長ビットであることを特徴とする請求項53に記載の多値半導体記憶装置。

【請求項63】 前記冗長ビットは、前記3つの符号化情報ブロックを基に、前記1つの符号化情報ブロックと前記2つの符号化情報ブロックとが結合してなる情報ブ

ロックの各々に対応して生成され、前記1つの符号化情報ブロックの情報ビットと対応する冗長ビットの合計と、前記2つの符号化情報ブロックが結合されてなる情報ブロックが分割されたときに前記分割された各ブロックの各々の情報ビットと前記対応する冗長ビットの合計とが前記符号化列のビット数となるような冗長ビットであることを特徴とする請求項53に記載の多値半導体記憶装置。

【請求項64】 前記冗長ビットは、前記4つの符号化情報ブロックを基に前記4つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットの合計が前記符号化列のビット数となるような冗長ビットであることを特徴とする請求項56に記載の多値半導体記憶装置。

【請求項65】 前記冗長ビットは、前記4つの符号化情報ブロックを基にハミング符号化により前記4つの符号化情報ブロックの各々に対応して第1の冗長ビットが生成され、前記4つの符号化情報ブロックの各々に対応する前記第1の冗長ビットを付加して符号列が生成され、前記各符号列に含まれるビット全ての排他論理和を算出して前記各符号列に対応して第2の冗長ビットが生成され、前記各符号列のビットと対応する前記第2の冗長ビットとの合計が前記符号列のビット数となるような冗長ビットであることを特徴とする請求項56に記載の多値半導体記憶装置。

【請求項66】 前記冗長ビットは、前記4つの符号化情報ブロックを基に前記2つの符号化情報ブロックが結合してなる情報ブロックの各々に対応して生成され、前記2つの符号化情報ブロックが結合されてなる情報ブロックの各々が2つに分割されたときに前記分割された各ブロックの各々の情報ビットと対応する冗長ビットの合計が前記符号化列のビット数となるような冗長ビットであることを特徴とする請求項57に記載の多値半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多値半導体記憶装置及びその書き込み方法と読み出し方法並びに記憶媒体に関するものである。

【0002】

【従来の技術】半導体記憶装置に記憶された符号の誤り訂正機能として、例えばハミング符号を用いた方法が一般的に用いられてきた。前記ハミング符号を用いる半導体記憶装置においては、例えば、4ビットの情報ビット(m1, m2, m3, m4)を記憶する場合、3ビットの検査ビット(p1, p2, p3)を符号器によって求め、情報ビットと検査ビットの合計7ビットを記憶する。

【0003】そして、前記半導体記憶装置に記憶したハミング符号の読みだし時には、読みだした情報(y1,

y2, y3, y4, y5, y6, y7)を復号器に与え、誤りを訂正した情報(m1, m2, m3, m4)を得るようにしている。このような半導体記憶装置では、前記読みだした情報(y1, y2, y3, y4, y5, y6, y7)のうち、1ビットまでの誤りを訂正することができる。詳しくは、例えば、電子情報通信学会発行 今井秀樹著「符号理論」(平成6年6月10日発行(5版))などを参考にされたい。

【0004】ところで、最近の特開平6-195687号公報に示されるように、1個のメモリセルに3値以上の値を記憶する多値半導体記憶装置がある。前記多値半導体記憶装置には、複数のしきい値電圧が設定されていて、例えば、4値不揮発性半導体メモリであれば、各メモリセルは4個のしきい値電圧(0V, 2V, 4V, 6V)に設定され、1個のメモリセルで2ビット分の情報を記憶することができるようになされている。つまり、記憶内容(00, 01, 10, 11)に対応して、メモリセルのしきい値電圧が0V, 2V, 4V, 6Vに設定されている。

【0005】ここで、このような多値半導体記憶装置にハミング符号による誤り訂正機能を付与する場合、従来は符号化で得られた記憶すべき符号列の各ビットを順番に記憶するようにしていたので、隣り合うビットが同じメモリセルに記憶されていた。

【0006】例えば、情報ビット(m11, m21, m31, m41)と(m12, m22, m32, m42)から、検査ビット(p11, p21, p31)と(p12, p22, p32)とを得て、これを多値メモリセルに記憶する場合を説明する。これらの情報ビット及び検査ビットよりなるハミング符号を多値メモリセルに記憶する場合、従来はm11とm21, m31とm41, p11とp21, p31とm12, m22とm32, m42とp12, p22とp32のように順番に記憶していた。

【0007】

【発明が解決しようとする課題】多値半導体記憶装置における誤りの起こり方を、先に記述した多値不揮発性メモリを例に述べると、しきい値電圧の変化によって誤りが起こるため、例えば“10”が“01”になるように、2ビットの情報の対が同時に誤りを起こす確率が非常に高い。

【0008】つまり、多値半導体記憶装置で発生する誤りは、1個の多値メモリセルに記憶する値の数に対応して、符号系列のある区間に集中して起こる、いわゆるバースト誤りになるのが特徴である。そして、このようなバースト誤りが起こると、1個の多値メモリセルの記憶状態が変化して、2ビットの誤りが起こることになる。この場合には、1個のハミング符号において2個以上の誤りが起こることになり、正しく復号化できなくなる。

【0009】ハミング符号を用いる方法の他に、多値半

導体記憶装置の誤り訂正方法として特開昭60-163300号公報にて示されているような、多元符号を用いる方法も提案されているが、この方法も多値半導体記憶装置における誤りの起こり方がバースト誤りになる確率が高いことが考慮されておらず、誤り訂正の効率が悪い問題があった。

【0010】また、上述したような多値メモリでは、1つのメモリセルに対する読み出し動作の回数が増えるという問題があった。従来の読み出し方法を、上述の4値半導体記憶装置の読み出し動作について説明する。この半導体記憶装置は、外部から読み出し命令を受信すると、アドレスの入力を待つ。入力されるアドレスは、実在するメモリセルに対応した物理アドレスではなく、論理アドレスであるため、入力された論理アドレスから物理アドレスが算出される。

【0011】次いで、算出された物理アドレスにより指定されたメモリセルのしきい値電圧が(0V, 2V, 4V, 6V)の何れであるかを調べ、2ビットのデータに変換する。具体的には、メモリセルに例えば1V, 3V, 5Vの判定電圧を順次印加する。この場合、1Vの判定電圧を印加したときにメモリセルのソース/ドレインに電流が流れたならば、メモリセルのしきい値電圧は0Vであると分かり、“00”のデータが読み出される。一方、1Vでは電流が流れなかったが、3Vで電流が流れたならば、メモリセルのしきい値電圧は2Vであると分かり、“01”のデータが読み出される。

【0012】更に、1Vと3Vでは電流が流れず、5Vのときに初めて電流が流れたならば、メモリセルのしきい値電圧は4Vであると分かり、“10”のデータが読み出される。更に、メモリセルに印加したすべての電圧で電流が流れなかったときは、メモリセルのしきい値電圧は6Vであると分かり、“11”のデータが読み出される。以上に説明した例では、1つのメモリセルに4値、すなわち、2ビットのデータを記憶させたが、更に多値のデータを記憶させることも研究されている。

【0013】しかし、上述したような多値メモリでは、1つのメモリセルに対する読み出し動作の回数が増えるという問題があった。例えば、上述のように1つのメモリセルに4値を記憶させた場合には、このように、従来の4値半導体記憶装置においては、読み出し動作で、入力されたアドレスが如何なる値であろうとも、メモリセルのしきい値電圧が4値のうちの何れであるかを特定する3回の読み出し検出動作が必ず行われる。実際には、1V→3V→5Vと階段状に変化する電圧を印加して読み出し検出を行うのであるが、読み出し検出動作が3回必要であることには変わりない。

【0014】そこで、本発明者等は、特開平7-201189号公報で、メモリセルの読み出し動作を高速化する方法を開示している。この方法は、上述の4値半導体記憶装置に対応させて説明すれば、メモリセルに先ず3

Vの電圧を印加し、電流が流れるか否かで2ビットのデータのうちの上位ビットを判定する。この場合、電流が流れたならば上位ビットは“0”であり、電流が流れなかったならば上位ビットは“1”である。次いで、上位ビットが“0”であると判定された場合には、メモリセルに更に1Vの電圧を印加し、電流が流れたならばメモリセルの2ビットのデータは“00”であると、電流が流れなかったならばデータは“01”であると判定されて出力される。一方、上位ビットが“1”であると判定された場合には、メモリセルに更に5Vの電圧を印加し、電流が流れたならばメモリセルの2ビットのデータは“10”であると、電流が流れなかったならばデータは“11”であると判定されて出力される。このように、特開平7-201189号公報の読み出し方法によれば、2回の読み出し動作で1つのメモリセルに記憶された2ビットのデータを特定することが可能となる。

【0015】しかしながら、特開平7-201189号公報に記載の読み出し方法においても、論理アドレスによらず、換言すれば論理アドレスが例えばメモリセルの上位ビットを指定している場合でも、メモリセルのしきい値電圧が4値のいずれであるかを判定することになる。

【0016】以上のように、従来の多値半導体記憶装置は、その読み出し動作において、入力された論理アドレスによらず、メモリセルの記憶内容を完全に特定してからデータを出力するため、必要以上に時間を要し、必然的に読み出し速度が制限されるという問題があった。

【0017】本発明は上述の問題点を鑑み、1つのメモリセルに記憶されている多値情報が失われても、誤り訂正を効率よく行うことができるようにすることを第1の目的とする。

【0018】また、入力された論理アドレスに応じて、アクセス頻度の高いデータを高速で読みだすことを可能とし、読みだし時のアクセス時間を更に短縮することができるようにすることを第2の目的とする。

【0019】

【課題を解決するための手段】本発明の多値半導体記憶装置は、各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルと、任意の符号化方法によって符号化された少なくとも第1の符号と第2の符号が与えられ、前記第1の符号を構成する複数の第1の情報ビットと前記第2の符号を構成する複数の第2の情報ビットのうち、同じ桁の情報ビット同士が1組となって対応する前記多値メモリセルに記憶されるように前記第1及び第2の情報ビットを並べ替える並べ替え手段と、並べ替えられた前記情報ビットに対応して所定電圧を発生させる電圧発生手段と、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加する電圧印加手段とを備える。

【0020】本発明の多値半導体記憶装置の一態様に

おいては、前記並べ替え手段は、前記符号化方法の誤り訂正能力に応じて、前記各多値メモリセルに記憶するビット数を制御する。

【0021】本発明の多値半導体記憶装置の一態様ににおいては、前記並べ替え手段は、前記複数の多値メモリセルの1つが記憶するビット数がmであるときに、m個の情報ビットを前記1つの多値メモリセルに記憶させるように、符号長nの符号m個を $m \times n$ 配列の各行として並べ替える。

【0022】本発明の多値半導体記憶装置の一態様ににおいては、前記多値メモリセルは不揮発性半導体メモリである。

【0023】本発明の多値半導体記憶装置の書き込み方法は、各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルを備えた多値半導体記憶装置への情報ビットの書き込み方法であって、任意の符号化方法によって符号化された少なくとも第1の符号と第2の符号が与えられ、前記第1の符号を構成する複数の第1の情報ビットと前記第2の符号を構成する複数の第2の情報ビットのうち、同じ桁の情報ビット同士が1組となって対応する前記多値メモリセルに記憶されるように前記第1及び第2の情報ビットを並び替える第1のステップと、前記並び替えられた前記情報ビットに対応して所定電圧を発生させる第2のステップと、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加する第3のステップとを備える。

【0024】本発明の記憶媒体は、コンピュータによって各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数の多値メモリセルを備えた多値半導体記憶装置に情報ビットを書き込むためのプログラムが記憶された記憶媒体であって、任意の符号化方法によって符号化された少なくとも第1の符号と第2の符号において、前記第1の符号を構成する複数の第1の情報ビットと、前記第2の符号を構成する複数の第2の情報ビットとのうち、同じ桁の情報ビット同士が1組として前記複数の多値メモリセルの1つに記憶されるように前記第1及び第2の情報ビットを並べ替えるプログラムが記憶されている。

【0025】本発明の記憶媒体の一態様ににおいては、並べ替えられた前記第1及び第2の情報ビットに応じた所定電圧を発生させ、アドレス情報を受けて、当該アドレス情報に対応した前記多値メモリセルに前記所定電圧を印加するプログラムが記憶されている。

【0026】本発明の多値半導体記憶装置は、論理アドレスが与えられて物理アドレスに変換する変換手段と、前記物理アドレスを含む物理アドレス空間に対応して配置され、n個($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルと、前記論理アドレスを含む論理アドレ

ス空間が前記物理アドレス空間と一致するか否かを判定する判定手段と、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する特定手段と、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる出力手段とを備えている。

【0027】本発明の多値半導体記憶装置の一態様例においては、前記各多値メモリセルは少なくとも1つのトランジスタを含み、前記特定手段は、前記判定値に対応する電圧を発生させる第1の手段と、前記物理アドレスが与えられてアドレス信号を出力する第2の手段と、前記アドレス信号にตอบสนองして前記電圧を前記物理アドレスに対応する前記多値メモリセルに与える第3の手段と、前記電圧が与えられた前記トランジスタのソースドレイン間に電流が流れるか否かを判定する第4の手段と、前記第4の手段における判定結果により前記最上位の前記成分 X_1 を特定する第5の手段とを含む。

【0028】本発明の多値半導体記憶装置の一態様例においては、前記特定手段は、前記各多値メモリセルの出力部位に一方の入力端子が接続され、前記最上位の前記成分 X_1 に対応する電圧が供給される比較器と、前記比較器の他方の入力端子に接続され、この他方の入力端子に前記所定の判定値に対応する電圧を供給する電圧供給回路とを含み、前記比較器の判定結果により前記最上位の前記成分 X_1 を特定する。

【0029】本発明の多値半導体記憶装置の一態様例においては、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合、前記特定手段は、前記成分 (X_1, X_2, \dots, X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定する。

【0030】本発明の多値半導体記憶装置の一態様例においては、前記各多値メモリセルは少なくとも1つのトランジスタを含み、前記特定手段は、前記 n 個の判定値に対応する n 個の電圧を発生させる第1の手段と、前記物理アドレスが与えられてアドレス信号を出力する第2の手段と、前記アドレス信号にตอบสนองして前記電圧を前記物理アドレスに対応する前記多値メモリセルに与える第3の手段と、前記電圧が与えられた前記トランジスタのソースドレイン間に電流が流れるまで最大 n 種の電圧を前記トランジスタのゲートに所定の順序で与える第4の手段と、前記電流を検出することにより前記成分 (X_1, X_2, \dots, X_n) を特定する第5の手段とを含む。

【0031】本発明の多値半導体記憶装置の一態様例においては、前記特定手段は、前記各多値メモリセルの出力部位に一方の入力端子が接続され、前記成分 (X_1, X_2, \dots, X_n) に対応する各々の電圧が供給される比較器と、前記比較器の他方の入力端子に接続され、この他方の入力端子に前記最大 n 個の判定値に対応する電圧を供給する電圧供給回路とを含み、前記比較器の判定結

果により前記最上位の前記成分 (X_1, X_2, \dots, X_n) を特定する。

【0032】本発明の多値半導体記憶装置の読み出し方法は、物理アドレス空間に対応して配置され、 n 個($n \geq 2$)の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含む。

【0033】本発明の多値半導体記憶装置の読み出し方法の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定する第5のステップを更に含む。

【0034】本発明の多値半導体記憶装置の読み出し方法は、物理アドレス空間に対応して配置され、 n 個($n \geq 2$)の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、前記トランジスタのゲートに所定の判定電圧を印加して、前記トランジスタのソースドレイン間に電流が流れる否かにより最上位の前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含む。

【0035】本発明の多値半導体記憶装置の読み出し方法の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記トランジスタのゲートに n 個の異なる判定電圧を所定の順序で、前記トランジスタのソースドレイン間に電流が流れるまで最大 n 回印加して前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含む。

【0036】本発明の多値半導体記憶装置の読み出し方

法は、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出す方法であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 に対応する電圧と所定の判定電圧とを比較し、比較結果により前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを含む。

【0037】本発明の多値半導体記憶装置の読み出し方法の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) に対応する電圧と前記成分 (X_1, X_2, \dots, X_n) の各々の成分に対応する電圧とを比較し、比較結果により前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含む。

【0038】本発明の記憶媒体は、コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持する複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 を所定の判定値により1回で特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されている。

【0039】本発明の記憶媒体の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) を所定の最大 n 個の異なる判定値により最大 n 回で特定する第5のステップを更に含むプログラムが記憶されている。

【0040】本発明の記憶媒体は、コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n

値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、前記トランジスタのゲートに所定の判定電圧を印加して、前記トランジスタのソースドレイン間に電流が流れる否かにより最上位の前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されている。

【0041】本発明の記憶媒体の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記トランジスタのゲートに n 個の異なる判定電圧を所定の順序で、前記トランジスタのソースドレイン間に電流が流れるまで最大 n 回印加して前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むプログラムが記憶されている。

【0042】本発明の記憶媒体は、コンピュータによって、物理アドレス空間に対応して配置され、 n 個 ($n \geq 2$) の成分 (X_1, X_2, \dots, X_n) で表現される 2^n 値の記憶状態を保持し、各々が少なくとも1つのトランジスタを備える複数の多値メモリセルから前記成分を読み出すためのプログラムが記憶された記憶媒体であって、論理アドレスを前記物理アドレス空間に含まれる物理アドレスに変換する第1のステップと、前記論理アドレスを含む論理アドレス空間が前記物理アドレス空間と一致するか否かを判定する第2のステップと、前記論理アドレス空間が前記物理アドレス空間と一致すると判定された場合に、最上位の前記成分 X_1 に対応する電圧と所定の判定電圧とを比較し、比較結果により前記成分 X_1 を特定する第3のステップと、特定された前記成分 X_1 を前記複数の多値メモリセルのうちの前記物理アドレスに対応する多値メモリセルから出力させる第4のステップとを備えたプログラムが記憶されている。

【0043】本発明の記憶媒体の一態様例においては、前記第2のステップにおいて、前記論理アドレス空間が前記物理アドレス空間と一致しないと判定された場合に、前記第2のステップの後、前記成分 (X_1, X_2, \dots, X_n) に対応する電圧と前記成分 (X_1, X_2, \dots, X_n) の各々の成分に対応する電圧とを比較し、比較結果により前記成分 (X_1, X_2, \dots, X_n) を特定する第5のステップを更に含むプログラムが記憶されている。

【0044】本発明の多値半導体記憶装置は、複数の多値メモリセルを具備し、前記各多値メモリセルが3個以上の相異なる所定の記憶状態のうちの1つを保持する多値半導体記憶装置であって、任意の符号化方法によって符号化された1つの符号を構成する各ビットを前記複数の多値メモリセルに分散させて記憶するようにする情報ビット分散手段を具備する。

【0045】本発明の多値半導体記憶装置の一態様例においては、前記情報ビット分散手段は、前記1つの符号の誤り訂正能力に応じて、1つの多値メモリセルに記憶する同一符号におけるビットの数を制御する。

【0046】本発明の多値半導体記憶装置の一態様例においては、前記情報ビット分散手段は、前記複数の多値メモリセルに分散させて記憶する符号を、符号長 n の符号 m 個を $m \times n$ 配列の各行として並べ、前記多値メモリセルが記憶するビット数が m であるときに、前記配列の各列に配置される m 個の情報を前記多値メモリセルの1個に記憶させる。

【0047】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルは不揮発性半導体メモリである。

【0048】本発明の記憶媒体は、上述の情報ビット分散手段としてコンピュータを機能させるためのプログラムを格納している。

【0049】本発明の多値半導体記憶装置の書き込み方法は、任意の符号化方法によって符号化された符号列を、3個以上の記憶状態を保持する複数の多値メモリセルを具備している多値半導体記憶装置に書き込む方法であって、前記任意の符号化方法によって符号化された1つの符号を構成する各ビットを複数の多値メモリセルに分散させて記憶させる。

【0050】本発明の記憶媒体は、上述の多値半導体記憶装置の書き込み方法がコンピュータから読み出し可能に格納されている。

【0051】本発明の多値半導体記憶装置は、論理アドレスが入力される入力手段と、前記論理アドレスから物理アドレスを算出する変換手段と、制御ゲートと電荷蓄積層とを有し、前記物理アドレスに対応して配置されており、各々が2次元以上の成分により表現される3値以上の記憶状態を保持する多値メモリセルと、前記物理アドレスに対応した前記多値メモリセルを選択するとともに、前記入力手段に入力される前記論理アドレスに応じて選択された前記多値メモリセルに記憶された前記成分の中から出力する成分を指定する制御手段と、前記制御手段により指定された前記多値メモリセルの前記成分のデータを出力する出力手段とを備え、前記成分のうちの少なくとも1つの成分のデータを1回の判定で特定する判定値が存在し、前記入力手段に入力した前記論理アドレスが前記物理アドレスが張るアドレス空間と1対1対応する部分空間に含まれるものであるときには、前記制

御手段が当該制御手段により指定された前記多値メモリセルの前記成分のデータを前記判定値で特定し、このデータを前記出力手段から出力する。

【0052】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルは、 n 次元($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n 値の記憶状態を保持し、少なくとも前記 X_1 成分のデータを1回の判定で特定する判定値が存在するとともに、前記部分空間に含まれる前記論理アドレスのデータが前記 X_1 成分に格納されており、前記部分空間に含まれる前記論理アドレスが前記入力手段に入力されたときには、対応する前記多値メモリセルの前記記憶状態のうち、前記制御手段により前記判定値で特定される前記 X_1 成分のデータを前記出力手段から出力する。

【0053】本発明の多値半導体記憶装置の一態様例においては、 X_2, \dots, X_n 成分のデータを特定する各判定値が存在するとともに、前記部分空間であるアドレス空間 A_1 に近接するアドレス空間 A_2, \dots, A_n に含まれる前記論理アドレスのデータが前記アドレス空間 A_1 に近い順に前記 X_2, \dots, X_n 成分に順次格納されており、前記入力手段に入力された前記論理アドレスのアドレス空間に応じて、前記制御手段が X_k (但し、 $k = 1, 2, \dots, n$)成分を前記各判定値による k 回の判定で特定し、この X_k 成分のデータを前記出力手段から出力する。

【0054】本発明の多値半導体記憶装置の一態様例においては、前記電荷蓄積層が浮遊ゲートである。

【0055】本発明の多値半導体記憶装置の読み出し方法は、制御ゲートと電荷蓄積層とを備え、入力された論理アドレスから算出された物理アドレスに対応して配置されてなる多値メモリセルを有する多値半導体記憶装置の読み出し方法であって、前記多値メモリセルには、各々が2次元以上の成分により表現される3値以上の記憶状態が保持されており、前記成分の少なくとも1つの成分のデータを特定する判定値が存在し、前記入力手段に入力した前記論理アドレスが前記物理アドレスが張るアドレス空間と1対1対応する部分空間に含まれるものであるときには、前記物理アドレスにより選択された前記多値メモリセルの前記制御ゲートに前記判定値の電圧を印加して、前記多値メモリセルのソース/ドレイン間に電流が流れるか否かによって前記多値メモリセルの前記成分のデータを特定して出力する。

【0056】本発明の多値半導体記憶装置の読み出し方法の一態様例においては、前記多値メモリセルには、 n 次元($n \geq 2$)の成分(X_1, X_2, \dots, X_n)で表現される 2^n 値の記憶状態が保持されており、少なくとも前記 X_1 成分のデータを特定する判定値が存在するとともに、前記部分空間に含まれる前記論理アドレスのデータが前記 X_1 成分に格納されており、前記部分空間に含まれる前記論理アドレスが前記入力手段に入力されたとき

きには、対応する前記多値メモリセルの前記記憶状態のうち、前記前記値で特定される前記 X_1 成分のデータを前記出力手段から出力する。

【0057】本発明の多値半導体記憶装置の読み出し方法の一態様例においては、 X_2, \dots, X_n 成分のデータを特定する各判定値が存在するとともに、前記部分空間であるアドレス空間 A_1 に近接するアドレス空間 A_2, \dots, A_n に含まれる前記論理アドレスのデータが前記アドレス空間 A_1 に近い順に前記 X_2, \dots, X_n 成分に順次格納されており、前記入力手段に入力された前記論理アドレスのアドレス空間に応じて、 X_k （但し、 $k=1, 2, \dots, n$ ）成分のデータを前記各判定値による k 回の判定で特定し、この X_k 成分を出力する。

【0058】本発明の記憶媒体は、上述の読み出し方法の手順をコンピュータに実行させるためのプログラムを格納している。

【0059】本発明の多値半導体記憶装置は、各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルと、第1の記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ第1の符号値に変換する第1の符号化手段と、第2の記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ第2の符号値に変換する第2の符号化手段と、前記第1、第2の符号値の同じ桁同士の符号値情報を1組として、対応する前記多値メモリセルに記憶されるように2組以上作成する並べ替え手段とを含む。

【0060】本発明の多値半導体記憶装置の一態様例においては、前記第1、第2の符号値が、同一の桁数を有する。

【0061】本発明の多値半導体記憶装置の一態様例においては、前記任意の符号化方法が、2進法による符号化方法である。

【0062】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルが、制御ゲートと浮遊ゲートとを有する。

【0063】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルが、MNOS、マスクROM、EEPROM、EPROM、PROM、フラッシュ不揮発性メモリのうちの少なくとも1つである。

【0064】本発明の多値半導体記憶装置の一態様例においては、前記第1、第2の符号値から、前記第1、第2の記憶情報に生じた誤りを検出して訂正する訂正手段を更に備える。

【0065】本発明の多値半導体記憶装置は、各々が3個以上の相異なる所定の記憶状態のうちの1つを保持する複数個の多値メモリセルと、入力された記憶情報を、任意の符号化方法によって少なくとも2桁以上の桁数を持つ符号値に変換する符号化手段と、前記符号化手段によって得られた前記符号値を、任意の桁数で分割して、少なくとも2つの符号化情報ブロックを作成し、前記各

符号化情報ブロックの同じ桁の符号化情報を1組として前記多値メモリセルに記憶させる分割記憶手段とを備える。

【0066】本発明の多値半導体記憶装置の一態様例においては、前記各多値メモリセルに記憶された前記符号化情報を読み出し、前記符号化方法の有する誤り訂正能力に従って前記符号化情報からなる符号列を訂正して出力する読み出し手段を更に含む。

【0067】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、前記各多値メモリセルからそれぞれ少なくとも所定位のビット情報を読み出して前記符号列を作成して出力する。

【0068】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルは、4個の相異なる所定の記憶状態のうちの1つを保持することが可能なものであり、前記分割記憶手段は、前記符号値を、桁数の等しい2つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の2つの符号化情報を1組として前記多値メモリセルに記憶させる。

【0069】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、2つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力する。

【0070】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルは、8個の相異なる所定の記憶状態のうちの1つを保持することが可能なものであり、前記分割記憶手段は、前記符号値を、桁数の等しい3つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の3つの符号化情報を1組として前記多値メモリセルに記憶させる。

【0071】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、3つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力する。

【0072】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、1つの前記各符号化情報ブロックと2つの前記各符号化情報ブロックが結合されてなる情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力する。

【0073】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルは、16個の相異なる所定の記憶状態のうちの1つを保持することが可能なものであり、前記分割記憶手段は、前記符号値を、桁数の等しい4つの符号化情報ブロックに分割し、前記各符号化情報ブロックの同じ桁の4つの符号化情報を1組として前記多値メモリセルに記憶させる。

【0074】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、4つの前記各符号化情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力する。

【0075】本発明の多値半導体記憶装置の一態様例においては、前記読み出し手段は、それぞれ2つの前記各符号化情報ブロックが結合されてなる各情報ブロックの各々が情報ビットに冗長ビットが付加されてなるものとして出力する。

【0076】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルが、制御ゲートと浮遊ゲートとを有する。

【0077】本発明の多値半導体記憶装置の一態様例においては、前記多値メモリセルが、MNOS、マスクROM、EEPROM、EPROM、PROM、フラッシュ不揮発性メモリのうちの少なくとも1つである。

【0078】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記2つの符号化情報ブロックを基に前記2つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットとの合計が前記符号化列のビット数となるような冗長ビットである。

【0079】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記3つの符号化情報ブロックを基に前記3つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットの合計が前記符号化列のビット数となるような冗長ビットである。

【0080】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記3つの符号化情報ブロックを基にハミング符号化により前記3つの符号化情報ブロックの各々に対応して第1の冗長ビットが生成され、前記3つの符号化情報ブロックの各々に対応する前記第1の冗長ビットを付加して符号列が生成され、前記各符号列に含まれるビット全ての排他論理和を算出して前記各符号列に対応して第2の冗長ビットが生成され、前記各符号列のビットと対応する前記第2の冗長ビットとの合計が前記符号列のビット数となるような冗長ビットである。

【0081】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記3つの符号化情報ブロックを基に、前記1つの符号化情報ブロックと前記2つの符号化情報ブロックとが結合してなる情報ブロックの各々に対応して生成され、前記1つの符号化情報ブロックの情報ビットと対応する冗長ビットの合計と、前記2つの符号化情報ブロックが結合されてなる情報ブロックが分割されたときに前記分割された各ブロックの各々の情報ビットと前記対応する冗長ビットの合計とが前記符号化列のビット数となるような冗長ビットである。

【0082】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記4つの符号化情報ブロックを基に前記4つの符号化情報ブロックの各々に対応して生成され、前記各符号化情報ブロックの前記情報ビットと対応する前記冗長ビットの合計が前記符号化列

のビット数となるような冗長ビットである。

【0083】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記4つの符号化情報ブロックを基にハミング符号化により前記4つの符号化情報ブロックの各々に対応して第1の冗長ビットが生成され、前記4つの符号化情報ブロックの各々に対応する前記第1の冗長ビットを付加して符号列が生成され、前記各符号列に含まれるビット全ての排他論理和を算出して前記各符号列に対応して第2の冗長ビットが生成され、前記各符号列のビットと対応する前記第2の冗長ビットとの合計が前記符号列のビット数となるような冗長ビットである。

【0084】本発明の多値半導体記憶装置の一態様例においては、前記冗長ビットは、前記4つの符号化情報ブロックを基に前記2つの符号化情報ブロックが結合してなる情報ブロックの各々に対応して生成され、前記2つの符号化情報ブロックが結合されてなる情報ブロックの各々が2つに分割されたときに前記分割された各ブロックの各々の情報ビットと対応する冗長ビットの合計が前記符号化列のビット数となるような冗長ビットである。

【0085】

【作用】本発明の多値半導体記憶装置においては、1つのメモリセルに記憶されている多値情報に誤りが生じて、1つの符号に関しては誤り訂正が可能な最小ビット数の情報が失われるだけなので、誤り訂正を効率よく行うことが可能となる。

【0086】また、本発明の他の特徴によれば、論理アドレスをアクセス速度の速いアドレス空間とアクセス速度の比較的遅いアドレス空間とに階層化し、論理アドレスのうち、物理アドレスが張るアドレス空間と1対1対応する部分空間をアクセス速度の速いアドレス空間とする。そして、多値メモリセルの記憶状態の特定の成分、例えば最上位ビットにアクセス速度の速いアドレス空間のデータを格納する。この特定成分のデータは1つの判定値により判定される。

【0087】入力された論理アドレスが前記部分空間に含まれるものである場合には、この論理アドレスは前記特定成分のデータを指定しており、判定値による1回の判定により即座に特定成分のデータが分かり、出力されることになる。従って、この特定成分にアクセス頻度の最も高いデータを格納し、他の成分に比較的アクセス頻度の低いデータを格納することにより、極めて効率良く半導体記憶装置の読みだしを行うことが可能となる。

【0088】

【0089】

【発明の実施の形態】以下、本発明の多値半導体記憶装置及びその書き込み方法と読み出し方法並びに記憶媒体の一実施形態を図面を参照して説明する。

【0090】本実施形態の多値記憶EEPROMの主要構成を図1に示す。図1において、メモリセルアレイ1

は、複数のメモリセルがマトリックス状に配置されたものである。メモリセルアレイ1を構成する各メモリセルは、図2に示すように、浮遊ゲート型のメモリセルであり、p型シリコン基板11の表面領域にn型不純物拡散層からなるドレイン12及びソース13がそれぞれ形成され、それらの間がチャネル領域14となっている。

【0091】また、ドレイン12にはビット線15が接続され、ソース13にはソース線16が接続されている。そして、チャネル領域14の上に、厚さ10nm程度のSiO₂膜からなるトンネル絶縁膜20が形成され、その上に低抵抗ポリシリコンからなる浮遊ゲート17、層間絶縁膜18及び低抵抗ポリシリコンからなる制御ゲート（ワード線）19が順次形成されている。

【0092】ワード線19はメモリセルアレイ1の列方向に並んでデコーダ2にそれぞれ接続され、一方、ビット線15は行方向に並んでマルチプレクサ4にそれぞれ接続されている。ソース線16は接地されている。

【0093】このように構成された本実施形態の多値記憶EEPROMにデータを書き込む場合には、動作モードをプログラムモードに設定する。そして、入出力インタフェースI/F8を介して書き込み情報をするとともに、入力インタフェースI/F7を介してアドレスを入力する。なお、入力されるアドレスは論理アドレスなので、変換回路9により物理アドレスに変換する。

【0094】入出力インタフェースI/F8を介して入力された情報は信号制御回路6に与えられ、ここに設けられている情報ビット分散手段6aにより、後で詳細に説明するように、情報ビットの並べ替えが行われる。

【0095】そして、情報ビットの並べ替えが行われた入力情報は、次に、電圧発生及び電圧制御回路3に与えられ、情報ビットに応じた電圧が発生される。そして、この発生された電圧がデコーダ2を介してメモリセルアレイ1に加えられ、各メモリセルに所定のしきい値電圧が設定される。

【0096】（書き込み方法の第1の実施形態）以下、図3を参照しながら本発明の書き込み方法の第1の実施形態を具体的に説明する。

【0097】本実施形態で対象としている多値記憶EEPROMは、各メモリセルのしきい値電圧が、記憶する2ビットの情報（00、01、10、11）に対応して、4値（0、2、4、6V）に設定されている4値メモリであり、バースト誤り訂正符号として、符号長n、バースト誤り訂正能力Lの符号Cをm回交錯する交錯法を用いている。

【0098】本装置による書き換えにおいては、まず、記憶内容8ビットの入力を受ける毎に、これを4×2ビットの情報ビット（m11、m21、m31、m41）（m12、m22、m32、m42）に分割し、この情報ビットから3×2ビットの検査用の冗長ビット（p11、p21、p31）（p12、p22、p32）を生

成する。

【0099】そして、これらの情報ビット（m11、m21、m31、m41）（m12、m22、m32、m42）及び冗長ビット（p11、p21、p31）（p12、p22、p32）から2個の符号語（m11、m21、m31、m41、p11、p21、p31）と、（m12、m22、m32、m42、p12、p22、p32）とを生成する。

【0100】このようにして生成した2個の符号語を情報ビット分散手段6aに与え、図3に示すように、2×7配列の各行に交錯させて並べる。そして、7個のメモリセルのそれぞれに、m11とm12、m21とm22、m31とm32、m41とm42、p11とp12、p21とp22、p31とp32の組み合わせで順次記憶する。

【0101】即ち、図3において、メモリセル1の上位ビットがm11、下位ビットがm12となり、同様にメモリセル2にm21とm22、メモリセル3にm31とm32、メモリセル4にm41とm42、メモリセル5にp11とp12、メモリセル6にp21とp22、メモリセル7にp31とp32が収められる。

【0102】それぞれの符号語は、後で詳細に説明するように、1個の誤りが生じても訂正が可能であり、図3のように、3番目のメモリセルのしきい値電圧が変化して、長さ2のバースト誤りが生じて、各符号語に対しては1個の誤りになるので訂正が可能である。すなわち、7個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化し、例えば“01”の記憶内容が“10”に変化するバースト誤りが発生しても、訂正が可能である。

【0103】（書き込み方法の第2の実施形態）以下、本発明の書き込み方法の第2の実施形態を説明する。

【0104】本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する3ビットの情報（000、001、010、011、100、101、110、111）に対応して、8値（0、1、2、3、4、5、6、7V）に設定される8値メモリである。

【0105】本装置による書き換えにおいては、まず、記憶内容12ビットの入力を受ける毎に、これを4×3ビットの情報ビット（m11、m21、m31、m41）（m12、m22、m32、m42）（m13、m23、m33、m43）に分割し、この情報ビットから3×3ビットの冗長ビット（p11、p21、p31）（p12、p22、p32）（p13、p23、p33）を得る。

【0106】そして、3個の符号語（m11、m21、m31、m41、p11、p21、p31）（m12、m22、m32、m42、p12、p22、p32）（m13、m23、m33、m43、p13、p23、

p33)を、3×7配列の各行に並べ、図4に示すように、7個のメモリセルにそれぞれ、m11とm12とm13、m21とm22とm23、m31とm32とm33、m41とm42とm43、p11とp12とp13、p21とp22とp23、p31とp32とp33を記憶する。

【0107】即ち、図4において、メモリセル1の上位ビットがm11、下位ビットがm12となり、同様にメモリセル2にm21とm22、メモリセル3にm31とm32、メモリセル4にm41とm42、メモリセル5にm51とm52、メモリセル6にm61とm62、メモリセル7にm71とm72が収められる。

【0108】それぞれの符号語は1個の誤りが生じてでも訂正が可能であり、したがって、図4に示すように、例えば3番目のメモリセルに長さ3のバースト誤りが生じて、各符号語に対しては1個の誤りになるので訂正が可能である。すなわち、7個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“100”の記憶内容が“011”に変化するバースト誤りが発生しても、訂正が可能である。

【0109】続いて、書き込み方法の第2の実施形態のいくつかの変形例を説明する。

【0110】—変形例1—

本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する3ビットの情報(000、001、010、011、100、101、110、111)に対応して、8値(0、1、2、3、4、5、6、7V)に設定される8値メモリである。この変形例1においては、符号語を構成する各ビットのうち、2個の誤りまでは誤り訂正が可能な所定の線型符号化規則に従った場合について例示する。

【0111】本装置による書き換えにおいては、まず、記憶内容が所定ビット、例えばkビットの入力を受ける毎に、これを3つの($k/3$)ビットの各情報ビットに分割する。そして、各情報ビットから冗長ビットを得て、14ビットの符号語(m11、m21、m31、m41、m51、m61、m71、m12、m22、m32、m42、m52、m62、m72)と、7ビットの符号語(m13、m23、m33、m43、m53、m63、m73)を作成する。即ち、この14ビット及び7ビットの各符号語のうち、それぞれ所定数のビットが情報ビットであり、残りが誤り訂正用の冗長ビットである。

【0112】次に、14ビットの符号語(m11、m21、m31、m41、m51、m61、m71、m12、m22、m32、m42、m52、m62、m72)を7ビットずつの符号列(m11、m21、m31、m41、m51、m61、m71)(m12、m22、m32、m42、m52、m62、m72)に分割する。そして、符号列a(m11、m21、m31、m

41、m51、m61、m71)及び符号列b(m12、m22、m32、m42、m52、m62、m72)と1個の符号語c(m13、m23、m33、m43、m53、m63、m73)とを、3×7配列の各行に並べ、図5に示すように、7個のメモリセルにそれぞれ、m11とm12とm13、m21とm22とm23、m31とm32とm33、m41とm42とm43、m51とm52とm53、m61とm62とm63、m71とm72とm73を記憶する。

【0113】即ち、図5(a)において、メモリセル1の上位ビットがm11、中位ビットがm12、下位ビットがm13となり、同様にメモリセル2にm21とm22とm23、メモリセル3にm31とm32とm33、メモリセル4にm41とm42とm43、メモリセル5にm51とm52とm53、メモリセル6にm61とm62とm63、メモリセル7にm71とm72とm73が収められる。

【0114】符号列a、b及び符号語cは1個の誤りが生じてでも訂正が可能であり、したがって、図5(a)に示すように、例えば3番目のメモリセルに長さ3のバースト誤りが生じて、各符号語a、b及び符号列cに対してはそれぞれ1個の誤りとなり、このとき符号列a、bから構成される符号語に対しては2個の誤りとなるので訂正が可能である。すなわち、7個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“100”の記憶内容が“011”に変化するバースト誤りが発生しても、訂正が可能である。

【0115】—変形例2—

本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する3ビットの情報(000、001、010、011、100、101、110、111)に対応して、8値(0、1、2、3、4、5、6、7V)に設定される8値メモリである。この変形例2においては、符号語を構成する各ビットのうち、1個の誤りまでは誤り訂正が可能であり、2個の誤りまでは誤り検出が可能な符号化規則に従った場合について例示する。

【0116】本装置による書き換えにおいては、まず、記憶内容12ビットの入力を受ける毎に、これを4×3ビットの情報ビット(m11、m21、m31、m41)(m12、m22、m32、m42)(m13、m23、m33、m43)に分割し、ハミング符号化によりこの情報ビットから3×3ビットの冗長ビット(p11、p21、p31)(p12、p22、p32)(p13、p23、p33)を得る。

【0117】続いて、3個の符号列(m11、m21、m31、m41、p11、p21、p31)(m12、m22、m32、m42、p12、p22、p32)(m13、m23、m33、m43、p13、p23、p33)のそれぞれについて、各7ビット全てのE×-

ORを算出し、その結果として得られた各冗長ビット q_1, q_2, q_3 を各符号列に付加して、3個の符号語($m_{11}, m_{21}, m_{31}, m_{41}, p_{11}, p_{21}, p_{31}, q_1$)($m_{12}, m_{22}, m_{32}, m_{42}, p_{12}, p_{22}, p_{32}, q_2$)($m_{13}, m_{23}, m_{33}, m_{43}, p_{13}, p_{23}, p_{33}, q_3$)を作成する。

【0118】そして、これら3個の符号語を 3×8 配列の各行に並べ、図5(b)に示すように、8個のメモリセルにそれぞれ、 m_{11} と m_{12} と m_{13} 、 m_{21} と m_{22} と m_{23} 、 m_{31} と m_{32} と m_{33} 、 m_{41} と m_{42} と m_{43} 、 p_{11} と p_{12} と p_{13} 、 p_{21} と p_{22} と p_{23} 、 p_{31} と p_{32} と p_{33} 、 q_1 と q_2 と q_3 を記憶する。

【0119】即ち、図5(b)において、メモリセル1の上位ビットが m_{11} 、中位ビットが m_{12} 、下位ビットが m_{13} となり、同様にメモリセル2に m_{21} と m_{22} と m_{23} 、メモリセル3に m_{31} と m_{32} と m_{33} 、メモリセル4に m_{41} と m_{42} と m_{43} 、メモリセル5に p_{11} と p_{12} と p_{13} 、メモリセル6に p_{21} と p_{22} と p_{23} 、メモリセル7に p_{31} と p_{32} と p_{33} 、メモリセル8に q_1 と q_2 と q_3 が収められる。

【0120】それぞれの符号語は1個の誤りが生じてても訂正が可能であり、したがって、図5(b)に示すように、例えば3番目のメモリセルに長さ3のバースト誤りが生じてても、各符号語に対しては1個の誤りになるので訂正が可能である。すなわち、8個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“100”の記憶内容が“011”に変化するバースト誤りが発生しても、訂正が可能である。更に、極めて稀なことであるとは思われるが、例えばもう1つのメモリセルに長さ1～3のバースト誤りが生じた場合、少なくとも1つ符号語に対しては2個の誤りとなるが、このとき当該2個の誤りを検出することができ、そのうち1つについては訂正が可能である。

【0121】(書き込み方法の第3の実施形態)以下、本発明の書き込み方法の第3の実施形態を説明する。

【0122】本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する4ビットの情報(0000、0001、0010、0011、0100、0101、0110、0111、1000、1001、1010、1011、1100、1101、1110、1111)に対応して、16値、例えば(0、1、1.25、1.5、1.75、2、2.25、2.5、2.75、3、3.25、3.5、3.75、4、4.25、4.5V)に設定される16値メモリである。

【0123】本装置による書き換えにおいては、まず、記憶内容16ビットの入力を受ける毎に、これを 4×4 ビットの情報ビット($m_{11}, m_{21}, m_{31}, m_{41}$)

($m_{12}, m_{22}, m_{32}, m_{42}$)($m_{13}, m_{23}, m_{33}, m_{43}$)($m_{14}, m_{24}, m_{34}, m_{44}$)に分割し、この情報ビットから 3×4 ビットの冗長ビット(p_{11}, p_{21}, p_{31})(p_{12}, p_{22}, p_{32})(p_{13}, p_{23}, p_{33})(p_{14}, p_{24}, p_{34})を得る。

【0124】そして、4個の符号語($m_{11}, m_{21}, m_{31}, m_{41}, p_{11}, p_{21}, p_{31}$)($m_{12}, m_{22}, m_{32}, m_{42}, p_{12}, p_{22}, p_{32}$)($m_{13}, m_{23}, m_{33}, m_{43}, p_{13}, p_{23}, p_{33}$)($m_{14}, m_{24}, m_{34}, m_{44}, p_{14}, p_{24}, p_{34}$)を、 4×7 配列の各行に並べ、図6に示すように、7個のメモリセルにそれぞれ、 m_{11} と m_{12} と m_{13} と m_{14} 、 m_{21} と m_{22} と m_{23} と m_{24} 、 m_{31} と m_{32} と m_{33} と m_{34} 、 m_{41} と m_{42} と m_{43} と m_{44} 、 p_{11} と p_{12} と p_{13} と p_{14} 、 p_{21} と p_{22} と p_{23} と p_{24} 、 p_{31} と p_{32} と p_{33} と p_{34} を記憶する。

【0125】即ち、図6において、メモリセル1の1位ビットが m_{11} 、2位ビットが m_{12} 、3位ビットが m_{13} 、4位ビットが m_{14} となり、同様にメモリセル2に m_{21} と m_{22} と m_{23} と m_{24} 、メモリセル3に m_{31} と m_{32} と m_{33} と m_{34} 、メモリセル4に m_{41} と m_{42} と m_{43} と m_{44} 、メモリセル5に p_{11} と p_{12} と p_{13} と p_{14} 、メモリセル6に p_{21} と p_{22} と p_{23} と p_{24} 、メモリセル7に p_{31} と p_{32} と p_{33} と p_{34} が収められる。

【0126】各符号語はそれぞれ1個の誤りが生じてても訂正が可能であり、したがって、図6に示すように、例えば3番目のメモリセルに長さ4のバースト誤りが生じてても、各符号語に対しては1個の誤りになるので訂正が可能である。すなわち、7個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“1000”の記憶内容が“0111”に変化するバースト誤りが発生しても、訂正が可能である。

【0127】続いて、書き込み方法の第3の実施形態のいくつかの変形例を説明する。

【0128】—変形例1—

本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する4ビットの情報(0000、0001、0010、0011、0100、0101、0110、0111、1000、1001、1010、1011、1100、1101、1110、1111)に対応して、16値、例えば(0、1、1.25、1.5、1.75、2、2.25、2.5、2.75、3、3.25、3.5、3.75、4、4.25、4.5V)に設定される16値メモリである。この変形例においては、符号語を構成する各ビットのうち、2個の誤りまでは誤り訂正が可能な所定の線型符号化規則に従った場合について例示する。

【0129】本装置による書き換えにおいては、まず、記憶内容が所定ビット、例えば p ビットの入力を受ける毎に、これを4つの($p/3$)ビットの各情報ビットに分割する。そして、各情報ビットから冗長ビットを得て、2つの14ビットの符号語($m11, m21, m31, m41, m51, m61, m71, m12, m22, m32, m42, m52, m62, m72$)($m13, m23, m33, m43, m53, m63, m73, m14, m24, m34, m44, m54, m64, m74$)を作成する。即ち、これら14ビットの各符号語のうち、それぞれ所定数のビットが情報ビットであり、残りが誤り訂正用の冗長ビットである。

【0130】次に、14ビットの各符号語($m11, m21, m31, m41, m51, m61, m71, m12, m22, m32, m42, m52, m62, m72$)($m13, m23, m33, m43, m53, m63, m73, m14, m24, m34, m44, m54, m64, m74$)をそれぞれ7ビットずつの符号列($m11, m21, m31, m41, m51, m61, m71$)($m12, m22, m32, m42, m52, m62, m72$)及び($m13, m23, m33, m43, m53, m63, m73$)($m14, m24, m34, m44, m54, m64, m74$)に分割する。そして、各符号列を、 4×7 配列の各行に並べ、図7(a)に示すように、7個のメモリセルにそれぞれ、 $m11$ と $m12$ と $m13$ と $m14$ 、 $m21$ と $m22$ と $m23$ と $m24$ 、 $m31$ と $m32$ と $m33$ と $m34$ 、 $m41$ と $m42$ と $m43$ と $m44$ 、 $m51$ と $m52$ と $m53$ と $m54$ 、 $m61$ と $m62$ と $m63$ と $m64$ 、 $m71$ と $m72$ と $m73$ と $m74$ を記憶する。

【0131】即ち、図7(a)において、メモリセル1の1位ビットが $m11$ 、2位ビットが $m12$ 、3位ビットが $m13$ 、4位ビットが $m14$ となり、同様にメモリセル2に $m21$ と $m22$ と $m23$ と $m24$ 、メモリセル3に $m31$ と $m32$ と $m33$ と $m34$ 、メモリセル4に $m41$ と $m42$ と $m43$ と $m44$ 、メモリセル5に $m51$ と $m52$ と $m53$ と $m54$ 、メモリセル6に $m61$ と $m62$ と $m63$ と $m64$ 、メモリセル7に $m71$ と $m72$ と $m73$ と $m74$ が収められる。

【0132】それぞれの符号列は1個の誤りが生じても訂正が可能であり、したがって、図7に示すように、例えば3番目のメモリセルに長さ4のバースト誤りが生じて、各符号列に対しては1個の誤りとなり、このとき2つの符号列から構成される各符号語に対しては2個の誤りとなるので訂正が可能である。すなわち、7個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“1000”の記憶内容が“0111”に変化するバースト誤りが発生しても、訂正が可能である。

【0133】—変形例2—

本実施形態の書き込み方法で対象とする装置は、各メモリセルのしきい値電圧が、記憶する4ビットの情報(000、0001、0010、0011、0100、0101、0110、0111、1000、1001、1010、1011、1100、1101、1110、1111)に対応して、16値、例えば(0、1、1.25、1.5、1.75、2、2.25、2.5、2.75、3、3.25、3.5、3.75、4、4.25、4.5V)に設定される16値メモリである。この変形例においては、符号語を構成する各ビットのうち、1個の誤りまでは誤り訂正が可能であり、2個の誤りまでは誤り検出が可能な符号化規則に従った場合について例示する。

【0134】本装置による書き換えにおいては、まず、記憶内容16ビットの入力を受ける毎に、これを 4×4 ビットの情報ビット($m11, m21, m31, m41$)($m12, m22, m32, m42$)($m13, m23, m33, m43$)($m14, m24, m34, m44$)に分割し、ハミング符号化によりこの情報ビットから 3×4 ビットの冗長ビット($p11, p21, p31$)($p12, p22, p32$)($p13, p23, p33$)($p14, p24, p34$)を得る。

【0135】続いて、4個の符号列($m11, m21, m31, m41, p11, p21, p31$)($m12, m22, m32, m42, p12, p22, p32$)($m13, m23, m33, m43, p13, p23, p33$)($m14, m24, m34, m44, p14, p24, p34$)のそれぞれについて、各7ビット全てのEX-ORを算出し、その結果として得られた各冗長ビット $q1, q2, q3, q4$ を各符号列に付加して、4個の符号語($m11, m21, m31, m41, p11, p21, p31, q1$)($m12, m22, m32, m42, p12, p22, p32, q2$)($m13, m23, m33, m43, p13, p23, p33, q3$)($m14, m24, m34, m44, p14, p24, p34, q4$)を作成する。

【0136】そして、これら4個の符号語を 4×8 配列の各行に並べ、図7(b)に示すように、8個のメモリセルにそれぞれ、 $m11$ と $m12$ と $m13$ と $m14$ 、 $m21$ と $m22$ と $m23$ と $m24$ 、 $m31$ と $m32$ と $m33$ と $m34$ 、 $m41$ と $m42$ と $m43$ と $m44$ 、 $p11$ と $p12$ と $p13$ と $p14$ 、 $p21$ と $p22$ と $p23$ と $p24$ 、 $p31$ と $p32$ と $p33$ と $p34$ 、 $q1$ と $q2$ と $q3$ と $q4$ を記憶する。

【0137】即ち、図7(b)において、メモリセル1の1位ビットが $m11$ 、2位ビットが $m12$ 、3位ビットが $m13$ 、4位ビットが $m14$ となり、同様にメモリセル2に $m21$ と $m22$ と $m23$ と $m24$ 、メモリセル3に $m31$ と $m32$ と $m33$ と $m34$ 、メモリセル4に $m41$ と $m42$ と $m43$ と $m44$ 、メモリセル5に $m5$

1とm52とp13とp14、メモリセル6にm61とm62とp23とp24、メモリセル7にm71とm72とp33とp34、メモリセル8にq1とq2とq3とq4が収められる。

【0138】それぞれの符号語は1個の誤りが生じても訂正が可能であり、したがって、図7(b)に示すように、例えば3番目のメモリセルに長さ4のバースト誤りが生じても、各符号語に対しては1個の誤りになるので訂正が可能である。すなわち、8個のメモリセルのうち、1個のメモリセルのしきい値電圧が変化して、例えば“1000”の記憶内容が“0111”に変化するバースト誤りが発生しても、訂正が可能である。更に、極めて稀なことであるとは思われるが、例えばもう1つのメモリセルに長さ1～4のバースト誤りが生じた場合、少なくとも1つ符号語に対しては2個の誤りとなるが、このとき当該2個の誤りを検出することができ、そのうち1つについては訂正が可能である。

【0139】なお、書き込み方法の第2及び第3の実施形態の各変形例に示した符号化方法以外にも、有用であると考えられる手法がある。例えば、先ず64個の元データに“0”のデータを56ビット付加して、合計120ビット長の情報ビットを得る。続いて、120ビットの情報ビットから127ビット長のハミング符号を作成する。続いて、127ビット全てのEX-ORを算出し、その結果を追加128ビット長の符号を得る。しかる後、先に追加した56ビットの“0”を除去して、72ビット長の符号語を得る。この符号化方法は、符号語を構成する各ビットのうち、1個の誤りまでは誤り訂正を行い、2個の誤りまでは誤り検出を可能としており、主記憶装置用のSEC/DED符号(single-error-correcting/double-error-detecting code)として、頻繁に利用されている。

【0140】次に、1つの符号語について1個の誤りが生じても訂正可能な具体例を説明する。下記の表1は、4情報ビットに3冗長ビットを付加したハミング符号を示している。

【0141】

【表1】

桁	1	2	3	4	5	6	7
ビットの重み	CC	8C	42	1			
0	0	0	0	0	0	0	0
1	1	1	0	1	0	0	1
2	0	1	0	1	0	1	0
3	1	0	0	0	0	1	1
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	1
6	1	1	0	0	1	1	0
7	0	0	0	1	1	1	1
8	1	1	1	0	0	0	0
9	0	0	1	1	0	0	1
10	1	0	1	1	0	1	0
11	0	1	1	0	0	1	1
12	0	1	1	1	1	0	0
13	1	0	1	0	1	0	1
14	0	0	1	0	1	1	0
15	1	1	1	1	1	1	1

桁	1	2	3	4	5	6	7
読み出し符号	0	1	0	1	1	0	0
(4,5,6,7)桁パリティ					○	○	○
(2,3,6,7)桁パリティ		○	○			○	○
(1,3,5,7)桁パリティ	○	○	○	○			
誤りのある桁							
							011=3

【0142】この符号で、1、2、4桁目は冗長ビットであり、(1、3、5、7)、(2、3、6、7)及び(4、5、6、7)の各桁の組で偶数パリティになるように冗長ビットが決められている。例えば、10進数「12」に対応する符号“0111100”を書き込んでおいたところ、誤りが発生して“0101100”と読み出された場合、表1に示したように、誤りがある桁を2進数(この場合は011)で得ることができるので、誤りが発生しても容易に、かつ確実に訂正することができる。

【0143】なお、この符号は、情報ビット数がさらに多い場合にまで拡張することができ、n個の情報ビットに対して必要な冗長ビット数mは次式で表される。

$$2^m = n + m + 1 \quad \dots (1式)$$

【0144】以上の説明では、本発明を浮遊ゲート型のメモリセルを有する不揮発性記憶装置に実施した場合を例に挙げて説明をしたが、多値記憶を行わせるメモリセルとしては、浮遊ゲート型のものに限らず、MNOS型のものでも良い。また、本発明は、EEPROM以外にも、EPROMやPROM、更には、例えば、電界効果トランジスタのチャネル領域にイオン注入する不純物の量を制御することによりしきい値を変化させて記憶状態を得るマスクROMにも適用することが可能である。また、4値と8値の場合を例に挙げたが、決してこの値に限定されるものでもない。

【0145】また、誤り訂正符号を得る方法として交錯法を例に説明をしたが、メモリセルに記憶する情報量に応じたバースト長の誤りを訂正できる誤り訂正符号であ

れば、交錯法以外の方法、例えば、巡回符号または短縮化巡回符号でもよい。

【0146】次に、本発明の読み出し方法の好適な実施形態について、図面を参照して詳細に説明する。

【0147】（読み出し方法の第1の実施形態）先ず、本発明の読み出し方法の第1の実施形態について説明する。この第1の実施形態においては、半導体記憶装置として多値記憶EEPROM及びその読み出し方法を例示する。

【0148】読みだし動作時には、まず、外部から入力I/F7を介して論理アドレス信号を変換回路9に入力し、論理アドレス信号から実在のメモリセルに対応する物理アドレス信号を算出する。続いて、この物理アドレス信号を信号制御回路6に入力する。信号制御回路6は、入力された物理アドレス信号に応じて、選択すべきワード線19とビット線15を判断し、デコーダ2及びマルチプレクサ4にその結果を命令する。この命令に応じて、デコーダ2はワード線19を、マルチプレクサ4はビット線15をそれぞれ選択する。

【0149】また、信号制御回路6は、選択されたメモリセルの制御ゲート19に印加すべき電圧の大きさを判断し、電圧制御回路3にその結果を命令する。電圧制御回路3は、デコーダ2を介して、選択されたワード線19に所定の電圧を印加する。一方、選択されたビット線15には、マルチプレクサ4により所定の電圧が印加される。そして、選択メモリセルのしきい値の状態によって選択ビット線15に電流が流れるか否かが決まる。

【0150】この選択ビット線15の電流の状態は、マルチプレクサ4からセンスアンプ5に伝達される。センスアンプ5は、選択ビット線15の電流の有無を検出し、その結果を信号制御回路6に伝達する。信号制御回路6は、センスアンプ5での検出結果に基づき、選択メモリセルの制御ゲート19に次に印加する電圧を決定して、その結果を電圧制御回路3に命令する。また、信号制御回路6は、以上の手順を繰り返して最終的に得られた選択メモリセルの記憶データを出力I/F8を介して出力する。

【0151】図8に、第1の実施形態による読みだし方法のフローチャートを示す。この第1の実施形態では、8メガビットの記憶容量をもつ4値の多値記憶EEPROMについて例示する。この4値の多値記憶EEPROMは、16進数表記で〔00 0000〕～〔7F FFFF〕の論理アドレス空間と、〔00 0000〕～〔3F FFFF〕の物理アドレス空間とを有している。また、各メモリセルが、2ビット（＝4値）のデータ（00、01、10、11）を記憶しており、これらのデータに対応して、各メモリセルに（0V、2V、4V、6V）のしきい値電圧が設定されている。

【0152】そして、所定のメモリセルの物理アドレスがApであるとき、このメモリセルは、2ビットの各成

分のうち、上位ビットに論理アドレスApのデータを、下位ビットに論理アドレス（Ap＋〔40 0000〕）のデータを記憶するようになっている。

【0153】換言すれば、データの書き換え動作時において、〔00 0000〕～〔3F FFFF〕の論理アドレスA1及び記憶させるデータ（0又は1）が指定されると、物理アドレスA1に存在するメモリセルの上位ビットが指定されたデータに書き換えられる。

【0154】一方、データの書き換え動作時において、〔40 0000〕～〔7F FFFF〕の論理アドレスA1及び記憶させるデータ（0又は1）が指定されると、物理アドレス（A1－〔40 0000〕）に存在するメモリセルの下位ビットが指定されたデータに書き換えられる。

【0155】先ず、外部から読みだし命令を受信し（ステップS1）、論理アドレス信号が入力I/F7に入力されると（ステップS2）、信号制御回路6が、この論理アドレス信号が〔00 0000〕～〔3F FFFF〕であるか否かを判定する（ステップS3）。

【0156】ここで、論理アドレス信号が〔00 0000〕～〔3F FFFF〕である場合には、論理アドレスが物理アドレスと一致し、読みだしが要求されているデータは2ビットのうちの上位ビットであることが分かる（ステップS4）。この場合、選択メモリセルの制御ゲート19に3Vの判定電圧を印加し、ドレイン12－ソース13間に電流が流れるか否かを、選択ビット線15及びセンスアンプ5を通じて検出する（ステップS5）。

【0157】そして、ステップS5において、選択メモリセルのドレイン12－ソース13間に電流が流れた場合、すなわち、選択メモリセルが導通した場合には、このメモリセルのしきい値電圧は0Vと2Vのいずれかであるので、このメモリセルの記憶状態の成分のうち、上位ビットが“0”であると判定され、このデータを即座に出力I/F8から出力する（ステップS6）。

【0158】一方、ステップS5において、選択メモリセルのドレイン12－ソース13間に電流が流れない場合、このメモリセルのしきい値電圧は4Vと6Vのいずれかであるので、このメモリセルの記憶状態の成分のうち、上位ビットが“1”であると判定され、このデータを即座に出力I/F8から出力する（ステップS7）。

【0159】また、ステップS3において、入力I/F7に入力した論理アドレス信号が〔40 0000〕～〔7F FFFF〕である場合には、論理アドレスが物理アドレスと一致せず、物理アドレス＝（論理アドレス－〔40 0000〕）となり、読みだしが要求されているデータは2ビットのうちの下位ビットであることが分かる（ステップS8）。この場合、選択メモリセルの制御ゲート19に3Vの判定電圧を印加し、ドレイン12－ソース13間に電流が流れるか否かを、選択ビット線15及びセンスアンプ5を通じて検出する（ステップS9）。

【0160】ステップS9において、選択メモリセルの

ドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は0Vと2Vのいずれかであるので、続いて信号制御回路6は、選択メモリセルの制御ゲート19に1Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS10)。

【0161】そして、ステップS10において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は0Vであり、このメモリセルの記憶状態の成分のうち、下位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS11)。

【0162】一方、ステップS10において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は2Vであり、このメモリセルの記憶状態の成分のうち、下位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS12)。

【0163】また、ステップS9において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は4Vか6Vのいずれかであるので、続いて信号制御回路6は、選択メモリセルの制御ゲート19に5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS13)。

【0164】そして、ステップS13において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は4Vであり、このメモリセルの記憶状態の成分のうち、下位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS12)。

【0165】一方、ステップS13において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は6Vであり、このメモリセルの記憶状態の成分のうち、下位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS13)。

【0166】ここで、図1及び図9を参照して、前記読み出し方法における1、3又は5Vの判定電圧を選択メモリセルの制御ゲート19に印加してドレイン12-ソース13間に電流が流れるか否かを判定する方法について説明する。

【0167】例えば、図8のステップ4で、信号制御回路6は変換回路9からの物理アドレスを受けて読み出しが要求されているデータが上位ビットであることが分かると、選択されたメモリセルの制御ゲート19に印加すべき電圧が3Vであることを判定し、電圧制御回路3にその結果を伝える。電圧制御回路3は、図9に示すように、1Vの参照電圧発生回路3a、3Vの参照電圧発生回路3b、5Vの参照電圧発生回路3cを備えており、この例では参照電圧発生回路3bが3Vの電圧を発生し

てスイッチ回路55に出力する。

【0168】更に、信号制御回路6は、入力された物理アドレス信号に応じて選択すべきワード線を判断し、デコーダ2にその結果を伝える。これに応じてデコーダ2はデコード信号をスイッチ回路55に出力する。

【0169】3Vの参照電圧とデコード信号を受けたスイッチ回路55は、選択すべきワード線に3Vの参照電圧を与える。セルアレイ1の選択すべきメモリセル1aのドレイン12-ソース13間に電流が流れるか否かの判定は、センスアンプ5にて行われる。センスアンプ5は、メモリセル1aからの電圧と参照電圧発生回路56からの所定電圧とを比較して、信号制御回路6にその結果を伝える。

【0170】センスアンプ5の検出結果に基づき、信号制御回路6はメモリセル1aに続いて印加する電圧1V又は5Vを決定して電圧制御回路3に伝える。そして、信号制御回路6は、最終的に得られたメモリセル1aの記憶データを出力I/F8を介して出力する。

【0171】上述のように、この第1の実施形態においては、論理アドレス〔00 0000〕～〔7F FFFF〕をアクセス速度の速いアドレス空間A₁(論理アドレス〔00 0000〕～〔3F FFFF〕)とアクセス速度の比較的遅いアドレス空間A₂(論理アドレス〔40 0000〕～〔7F FFFF〕)とに階層化し、論理アドレス〔00 0000〕～〔7F FFFF〕のうち、物理アドレス〔00 0000〕～〔3F FFFF〕が張るアドレス空間と1対1対応する部分空間(論理アドレス〔00 0000〕～〔3F FFFF〕)をアクセス速度の速いアドレス空間A₁とする。そして、メモリセルの記憶状態の特定の成分、ここでは上位ビットにアドレス空間A₁のデータを格納する。

【0172】入力された論理アドレスが前記部分空間に含まれるもの(論理アドレス〔00 0000〕～〔3F FFFF〕)である場合には、この論理アドレスは上位ビットのデータを指定しており、3Vの判定電圧による1回の判定により即座に上位ビットのデータが分かり、出力されることになる。この場合、すべての判定電圧により各しきい値電圧を調べる場合に比して、読みだし速度が約2倍となる。従って、この上位ビットにアクセス頻度の最も高いデータを格納し、下位ビットに比較的アクセス頻度の低いデータを格納することにより、操作者(プログラマ)にはあたかも単一の高速記憶装置が存在しているかの如く見え、極めて効率良く多値記憶EEPROMの読みだしを行うことが可能となる。

【0173】なお、多値記憶EEPROMに格納することが好適なデータやプログラムには、アクセス頻度の高いものとしては例えば演算装置のBIOSが、アクセス頻度の比較的低いものとしては例えば文書ファイルがある。この場合、前者をアクセス速度の速い上位ビットに、後者をアクセス速度の比較的遅い下位ビットに格納すればよい。

【0174】(読み出し方法の第2の実施形態)次に、本発明の読み出し方法の第2の実施形態について説明する。この実施形態においては、第1の実施形態と同様に、半導体記憶装置として多値記憶EEPROM及びその読みだし方法を例示する。多値記憶EEPROMの主要構成については第1の実施形態のそれと同様であるが、多値記憶EEPROMが12メガビットの記憶容量をもつ8値のものである点で第1の実施形態と相違する。なお、第1の実施形態の多値記憶EEPROMと同様の構成要素等については同符号を記して説明を省略する。

【0175】図10に、第2の実施形態による読みだし方法のフローチャートを示す。この第2の実施形態では、12メガビットの記憶容量をもつ8値の多値記憶EEPROMについて例示する。この8値の多値記憶EEPROMは、16進数表記で〔00 0000〕～〔BF FFFF〕の論理アドレス空間と、〔00 0000〕～〔3F FFFF〕の物理アドレス空間とを有している。また、各メモリセルが、3ビット(=8値)のデータ(000, 001, 010, 011, 100, 101, 110, 111)を記憶しており、これらのデータに対応して、各メモリセルに(0V, 1V, 2V, 3V, 4V, 5V, 6V, 7V)のしきい値電圧が設定されている。

【0176】そして、所定のメモリセルの物理アドレスがApであるとき、このメモリセルは、3ビットの各成分のうち、最上位ビットに論理アドレスApのデータを記憶し、中位ビットに論理アドレス(Ap+〔40 0000〕)のデータを記憶し、最下位ビットに論理アドレス(Ap+〔80 0000〕)のデータを記憶するようになっている。

【0177】換言すれば、データの書き換え動作において、〔00 0000〕～〔3F FFFF〕の論理アドレスA1及び記憶させるデータ(0又は1)が指定されると、物理アドレスA1に存在するメモリセルの最上位ビットが指定されたデータに書き換えられる。

【0178】また、データの書き換え動作において、〔40 0000〕～〔7F FFFF〕の論理アドレスA1及び記憶させるデータ(0又は1)が指定されると、物理アドレス(A1-〔40 0000〕)に存在するメモリセルの中位ビットが指定されたデータに書き換えられる。

【0179】さらに、データの書き換え動作において、〔80 0000〕～〔BF FFFF〕の論理アドレスA1及び記憶させるデータ(0又は1)が指定されると、物理アドレス(A1-〔80 0000〕)に存在するメモリセルの最下位ビットが指定されたデータに書き換えられる。

【0180】先ず、外部から読みだし命令を受信し(ステップS21)、論理アドレス信号が入力I/F7に入力されると(ステップS22)、信号制御回路6が、この論理アドレス信号が〔00 0000〕～〔3F FFFF〕であるか否かを判定する(ステップS23)。

【0181】ここで、論理アドレス信号が〔00 0000〕～〔3F FFFF〕である場合には、論理アドレスが物理アドレスと一致し、読みだしが要求されているデータは3ビットのうちの最上位ビットであることが分かる(ステップS24)。この場合、選択メモリセルの制御ゲート19に3.5Vの判定電圧を印加し、ドレイン12-ソース13間に電流が流れるか否かを、選択ビット線15及びセンスアンプ5を通じて検出する(ステップS25)。

【0182】そして、ステップS25において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合、すなわち、選択メモリセルが導通した場合には、このメモリセルのしきい値電圧は0V, 1V, 2V, 3Vのいずれかであり、これらのしきい値電圧で指定される3ビットのデータはそれぞれ、“000”, “001”, “010”, “011”であるため、このメモリセルの記憶状態の成分のうち、最上位ビットが“0”であることが判定され、このデータを即座に出力I/F8から出力する(ステップS26)。

【0183】一方、ステップS25において、選択メモリセルのドレイン12-ソース13間に電流が流れない場合、このメモリセルのしきい値電圧は4V, 5V, 6V, 7Vのいずれかであり、これらのしきい値電圧で指定される3ビットのデータはそれぞれ、“100”, “101”, “110”, “111”であるため、このメモリセルの記憶状態の成分のうち、最上位ビットが“1”であることが判定され、このデータを即座に出力I/F8から出力する(ステップS27)。

【0184】また、ステップS23において、入力I/F7に入力した論理アドレス信号が〔00 0000〕～〔3F FFFF〕でない場合、更に入力した論理アドレス信号が〔40 0000〕～〔7F FFFF〕であるか否かを判定する(ステップS28)。

【0185】ここで、論理アドレス信号が〔40 0000〕～〔7F FFFF〕である場合には、論理アドレスが物理アドレスと一致せず、物理アドレス=(論理アドレス-〔40 0000〕)となり、読みだしが要求されているデータは3ビットのうちのの中位ビットであることが分かる(ステップS29)。この場合、選択メモリセルの制御ゲート19に3.5Vの判定電圧を印加し、ドレイン12-ソース13間に電流が流れるか否かを、選択ビット線15及びセンスアンプ5を通じて検出する(ステップS30)。

【0186】ステップS30において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値は0V, 1V, 2V, 3Vのいずれかである。ここで、0V, 1Vのしきい値電圧で指定される3ビットのデータは“000”, “001”であって中位ビットはどちらも“0”であり、2V, 3Vのしきい値電圧で指定される3ビットのデータ

は“010”、“011”であって中位ビットはどちらも“1”である。従って、この中位ビットを判定するため、信号制御回路6は、選択メモリセルの制御ゲート19に1.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS31)。

【0187】そして、ステップS31において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は0V或いは1Vであり、このメモリセルの記憶状態の成分のうち、中位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS32)。

【0188】一方、ステップS31において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は2V或いは3Vであり、このメモリセルの記憶状態の成分のうち、中位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS33)。

【0189】また、ステップS30において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は4V、5V、6V、7Vのいずれかである。ここで、4V、5Vのしきい値電圧で指定される3ビットのデータは“100”、“101”であって中位ビットはどちらも“0”であり、6V、7Vのしきい値電圧で指定される3ビットのデータは“010”、“011”であって中位ビットはどちらも“1”である。従って、この中位ビットを判定するため、信号制御回路6は、選択メモリセルの制御ゲート19に5.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS34)。

【0190】そして、ステップS34において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は4V或いは5Vであり、このメモリセルの記憶状態の成分のうち、中位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS32)。

【0191】一方、ステップS34において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は6V或いは7Vであり、このメモリセルの記憶状態の成分のうち、中位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS33)。

【0192】また、ステップS28において、入力I/F7に入力した論理アドレス信号が〔40 0000〕～〔7F FFFF〕でない場合には、論理アドレス信号は〔80 0000〕～〔BF FFFF〕、すなわち、物理アドレス=(論理アドレス-〔80 0000〕)となり、読みだしが要求されているデータは3ビットのうちの最下位ビットであることが分かる(ステップS35)。この場合、選択メモリセルの制御ゲート19に3.5Vの判定電圧を印加し、ドレイン12-ソース13間に電流が流れるか否かを、

選択ビット線15及びセンスアンプ5を通じて検出する(ステップS36)。

【0193】ステップS36において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値は0V、1V、2V、3Vのいずれかであり、これらの各しきい値電圧で指定される3ビットのデータはそれぞれ、“000”、“001”、“010”、“011”であるため、この段階ではまだ最下位ビットを特定することはできない。従って、最下位ビットを特定するため、信号制御回路6は、先ず選択メモリセルの制御ゲート19に1.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS37)。

【0194】ステップS37において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値は0V或いは1Vであり、これらの各しきい値電圧で指定される3ビットのデータは、“000”或いは“001”である。従って、最下位ビットを特定するため、信号制御回路6は、選択メモリセルの制御ゲート19に0.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS38)。

【0195】そして、ステップS38において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は0Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS39)。

【0196】一方、ステップS38において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は1Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS40)。

【0197】また、ステップS37において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値は2V或いは3Vであり、これらの各しきい値電圧で指定される3ビットのデータは、“010”或いは“011”である。従って、最下位ビットを特定するため、信号制御回路6は、選択メモリセルの制御ゲート19に2.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS41)。

【0198】そして、ステップS41において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は2Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS39)。

【0199】一方、ステップS41において、選択メモ

リセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は3Vであり、このメモリセルの記憶状態の成分のうち、最下ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS40)。

【0200】また、ステップS36において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値は4V、5V、6V、7Vのいずれかであり、これらの各しきい値電圧で指定される3ビットのデータはそれぞれ、“100”、“101”、“110”、“111”であるため、この段階ではまだ最下位ビットを特定することはできない。従って、最下位ビットを特定するため、信号制御回路6は、まず選択メモリセルの制御ゲート19に5.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS42)。

【0201】ステップS42において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値は4V或いは5Vであり、これらの各しきい値電圧で指定される3ビットのデータは、“100”或いは“101”である。従って、最下位ビットを特定するため、信号制御回路6は、選択メモリセルの制御ゲート19に4.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS43)。

【0202】そして、ステップS43において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は4Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS39)。

【0203】一方、ステップS43において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は5Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS40)。

【0204】また、ステップS42において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値は6V或いは7Vであり、これらの各しきい値電圧で指定される3ビットのデータは、“110”或いは“111”である。従って、最下位ビットを特定するため、信号制御回路6は、選択メモリセルの制御ゲート19に6.5Vの判定電圧を印加するように電圧制御回路3に命令する(ステップS44)。

【0205】そして、ステップS44において、選択メモリセルのドレイン12-ソース13間に電流が流れた場合には、そのメモリセルのしきい値電圧は6Vであり、このメモリセルの記憶状態の成分のうち、最下位ビ

ットが“0”であると判定され、このデータを出力I/F8から出力する(ステップS39)。

【0206】一方、ステップS44において、選択メモリセルのドレイン12-ソース13間に電流が流れなかった場合には、そのメモリセルのしきい値電圧は7Vであり、このメモリセルの記憶状態の成分のうち、最下位ビットが“1”であると判定され、このデータを出力I/F8から出力する(ステップS40)。

【0207】上述のように、この第2の実施形態においては、論理アドレス〔00 0000〕～〔BF FFFF〕をアクセス速度の速いアドレス空間とアクセス速度の比較的遅いアドレス空間とに階層化する。ここで、アクセス速度の速いアドレス空間をアドレス空間A₁(論理アドレス〔00 0000〕～〔3F FFFF〕)とし、アクセス速度の比較的遅いアドレス空間を更に細分化して、アドレス空間A₁に次いでアクセス速度の速いアドレス空間をアドレス空間A₂(論理アドレス〔40 0000〕～〔BFFFFF〕)とし、アドレス空間A₂に次いでアクセス速度の速いアドレス空間をアドレス空間A₃(論理アドレス〔40 0000〕～〔BF FFFF〕)として階層化する。

【0208】論理アドレス〔00 0000〕～〔7F FFFF〕のうち、物理アドレス〔00 0000〕～〔3F FFFF〕が張るアドレス空間と1対1対応する部分空間(論理アドレス〔00 0000〕～〔3F FFFF〕)をアクセス速度の速いアドレス空間A₁とする。そして、メモリセルの記憶状態の特定の成分、ここでは最上位ビットにアドレス空間A₁のデータを格納する。そして、中位ビットにアドレス空間A₁に次いでアクセス速度の速いアドレス空間A₂のデータを、最下位ビットにアドレス空間A₂に次いでアクセス速度の速いアドレス空間A₃のデータをそれぞれ格納する。

【0209】入力された論理アドレスが前記部分空間に含まれるもの(論理アドレス〔00 0000〕～〔3F FFFF〕)である場合には、この論理アドレスは最上位ビットのデータを指定しており、3.5Vの判定電圧による1回の判定により即座に最上位ビットのデータが分かり、出力されることになる。また、入力された論理アドレスが前記部分空間には含まれないが、この部分空間に近いアドレス空間に含まれるもの(論理アドレス〔40 0000〕～〔7F FFFF〕)である場合には、この論理アドレスは中位ビットのデータを指定しており、3.5Vと、1.5V或いは5.5Vの判定による2回の判定により中位ビットのデータが分かり、出力されることになる。

【0210】すなわち、最上位ビットのデータを読み出す場合では、すべての判定値により各しきい値電圧を調べる場合に比して、読みだし速度が約3倍となり、中位ビットのデータを読み出す場合では、すべての判定電圧により各しきい値電圧を調べる場合に比して、読みだし速度が約1.5倍となる。従って、最上位ビットにアク

セス頻度の最も高いデータを格納し、中位ビットに最上位ビットに次ぐアクセス頻度の高いデータを、最下位ビットに比較的アクセス頻度の低いデータをそれぞれ格納することにより、操作者（プログラマ）にはあたかも単一（或いは２段階）の高速記憶装置が存在しているかの如く見え、極めて効率良く多値記憶EEPROMの読みだしを行うことが可能となる。

【0211】以上、本発明を浮遊ゲート型のメモリセルを有するEEPROMに多値記憶を行わせた場合を例にとって説明したが、多値記憶を行わせるメモリセルとしては、浮遊ゲート型のものに限らず、MNOS型のものでも良い。

【0212】また、本発明は、EEPROM以外にも、EPROMやPROMに多値記憶を行わせた場合の読みだし方法、更には、例えば、電界効果トランジスタのチャネル領域にイオン注入する不純物の量を制御することによりしきい値を変化させて記憶状態を得るマスクROMに多値記憶を行わせた場合の読みだし方法にも適用が可能である。

【0213】更に、本発明の読み出し方法はDRAMにも適用できる。この場合、炉フレッシュを行うことは言うまでもない。

【0214】更に、上述の第1、第2の実施形態では、1個のメモリセルに2ビット又は3ビットの記憶容量を持たせたが、本発明は1個のメモリセルに4値（2ビット）以上の記憶容量を持たせた全ての場合に適用が可能であり、特に、記憶容量が大きいほど効果的である。

【0215】なお、上述の第1、第2の実施形態では、アドレスを判定した後、各値のしきい値電圧が設定されたメモリセルの制御ゲートに所定の判定電圧を印加してメモリセルのドレインソース間に電流が流れるか否かを検出する手法について説明したが、メモリセルからの出力電圧を所定の判定電圧と比較してデータを判定することもできる。この方法を図11の回路図を参照して説明する。

【0216】図7の判定回路は、図1のセルアレイ1とマルチプレクサ4との間に設けられる。セルアレイ1のメモリセル1aに設定された下位ビットに相当するしきい値電圧 V_{th1} が、インバータ40、トランジスタ41、42からなる出力バッファを介してセンスアンプ43の反転入力端子に与えられる。センスアンプ43の非反転入力端子にはトランジスタ47に設定された判定電圧 V_{47} が、インバータ46、トランジスタ44、45からなる出力バッファを介して与えられる。

【0217】しきい値電圧 V_{th1} が判定電圧 V_{47} より小さい場合、センスアンプ43の出力はHighになるので、メモリセル1aに記憶された下位ビットD0は"1"と判定される。センスアンプ43の出力がHighなので、トランジスタ52がオンする一方、インバータ53によりトランジスタ54がオフする。従って、トラ

ンジスタ52に設定された判定電圧 V_{52} が、インバータ51、トランジスタ49、50からなる出力バッファを介してセンスアンプ48の非反転入力端子に与えられる。そして、メモリセル1aに設定された上位ビットに相当するしきい値電圧 V_{th2} が、出力バッファを介してセンスアンプ48の反転入力端子に与えられる。

【0218】しきい値電圧 V_{th2} が判定電圧 V_{52} より小さい場合、センスアンプ48の出力はHighになるので、メモリセル1aに記憶された上位ビットD1は"1"と判定される。一方、しきい値電圧 V_{th2} が判定電圧 V_{52} より大きい場合、センスアンプ48の出力はLowになるので、メモリセル1aに記憶された上位ビットD1は"0"と判定される。

【0219】次に、しきい値電圧 V_{th1} が判定電圧 V_{47} より大きい場合、センスアンプ43の出力はLowになるので、メモリセル1aに記憶された下位ビットD0は"0"と判定される。センスアンプ43の出力がLowなので、トランジスタ52がオフする一方、インバータ53によりトランジスタ54がオンする。従って、トランジスタ54に設定された判定電圧 V_{54} が、出力バッファを介してセンスアンプ48の非反転入力端子に与えられる。そして、メモリセル1aに設定された上位ビットに相当するしきい値電圧 V_{th2} が、出力バッファを介してセンスアンプ48の反転入力端子に与えられる。

【0220】しきい値電圧 V_{th2} が判定電圧 V_{54} より小さい場合、センスアンプ48の出力はHighになるので、メモリセル1aに記憶された上位ビットD1は"1"と判定される。一方、しきい値電圧 V_{th2} が判定電圧 V_{54} より大きい場合、センスアンプ48の出力はLowになるので、メモリセル1aに記憶された上位ビットD1は"0"と判定される。

【0221】このようにして、2ビット（4値）のデータ（00、01、10、11）が判定される。この手法は、ビット数に応じて、センスアンプや、判定電圧供給回路を増やせば4値以上の多値メモリセルにも適用できる。

【0222】なお、上述した実施形態の機能を実現するように各種のデバイスを動作させるように、前記各種デバイスと接続された装置あるいはシステム内のコンピュータに対し、前記実施形態の機能を実現するためのソフトウェアのプログラムコードを供給し、そのシステムあるいは装置のコンピュータ（CPUあるいはMPU）に格納されたプログラムに従って前記各種デバイスを動作させることによって実施したものも、本発明の範疇に含まれる。

【0223】また、この場合、前記ソフトウェアのプログラムコード自体が上述した実施形態の機能を実現することになり、そのプログラムコード自体、およびそのプログラムコードをコンピュータに供給するための手段、例えばかかるプログラムコードを格納した記憶媒体31

は本発明を構成する。

【0224】記憶媒体31は、入出力I/F8を介して信号制御回路6に接続された記憶再生装置30により、そこに格納されているプログラムコードが読みだされ、信号制御回路6を構成するコンピュータを動作させる。なお、かかるプログラムコードを記憶する記憶媒体31としては、例えばフロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、磁気テープ、不揮発性のメモリカード、ROM等を用いることができる。

【0225】

【発明の効果】本発明は上述したように、本発明によれば、1つのメモリセルに記憶されている多値情報が失われても、誤り訂正を効率よく行うようにすることができる。

【0226】また、本発明の他の特徴によれば、入力された論理アドレスに応じて、アクセス頻度の高いデータを高速で読み出すことを可能とし、読み出し時のアクセス時間を大幅に短縮することができる。

【図面の簡単な説明】

【図1】本発明の実施形態によるEEPROMの主要な構成を示すブロック図である。

【図2】本発明の実施形態によるEEPROMの浮遊ゲート型メモリセルの概略断面図である。

【図3】本発明の書き込み方法の第1の実施形態を説明する模式図である。

【図4】本発明の書き込み方法の第2の実施形態を説明する模式図である。

【図5】本発明の書き込み方法の第2の実施形態の変形例を説明する模式図である。

【図6】本発明の書き込み方法の第3の実施形態を説明する模式図である。

【図7】本発明の書き込み方法の第3の実施形態の変形

例を説明する模式図である。

【図8】本発明の読み出し方法の第1の実施形態による読みだし方法のフローチャートである。

【図9】図8のフローチャートにおけるしきい値電圧を判定する方法を説明するブロック図である。

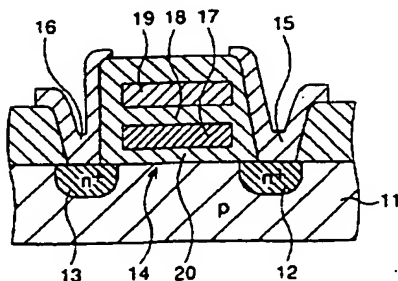
【図10】本発明の読み出し方法の第2の実施形態による読みだし方法のフローチャートである。

【図11】しきい値電圧を判定する他の方法を説明するブロック図である。

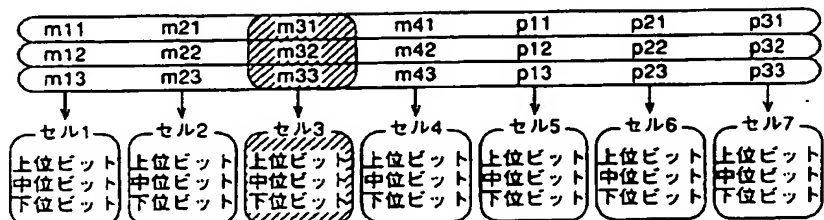
【符号の説明】

- 1 メモリセルアレイ
- 2 デコーダ
- 3 電圧発生及び電圧制御回路
- 4 マルチプレクサ
- 5 センスアンプ
- 6 信号制御回路
- 6a 情報ビット分散手段
- 7 入力I/F
- 8 出力I/F
- 9 変換回路
- 11 シリコン基板
- 12 ドレイン
- 13 ソース
- 17 浮遊ゲート
- 19 制御ゲート
- 30 記憶再生装置
- 31 記憶媒体
- 40, 46, 51, 53 インバータ
- 41, 42, 44, 45, 47, 49, 50, 52, 54 トランジスタ
- 43, 48 センスアンプ
- 55 スイッチ回路
- 56 参照電圧発生回路

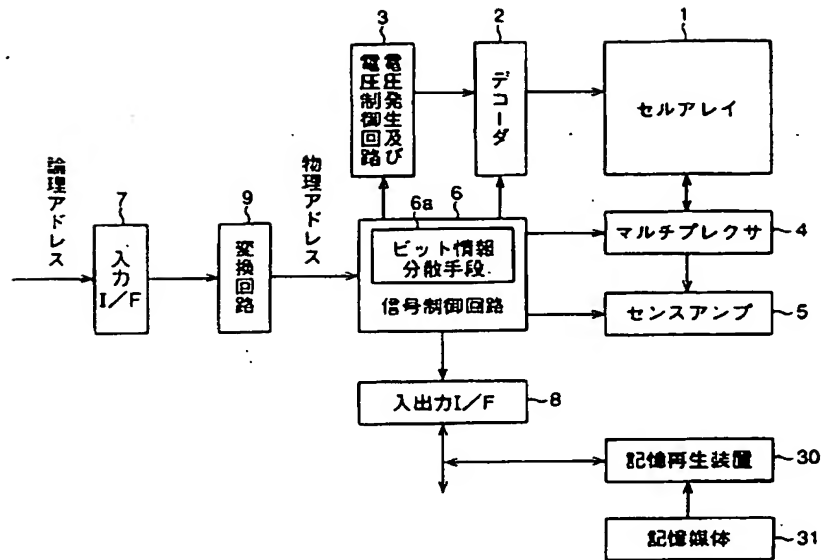
【図2】



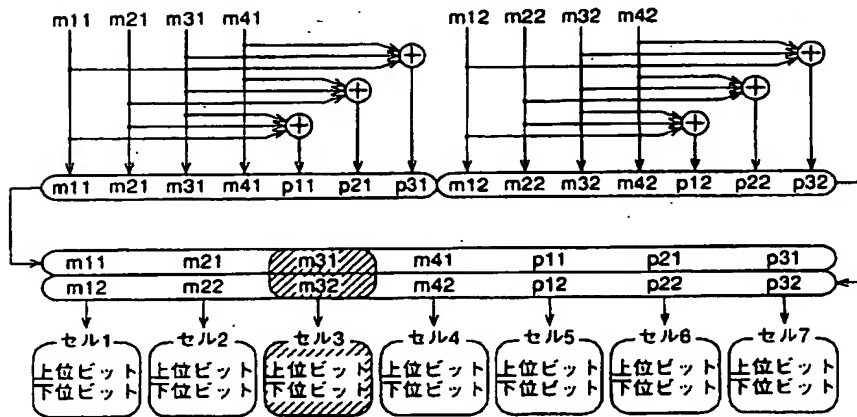
【図4】



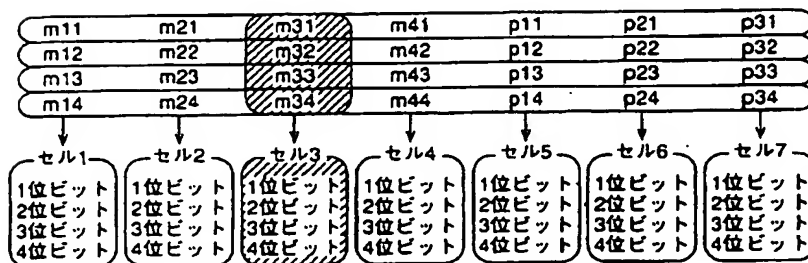
【図1】



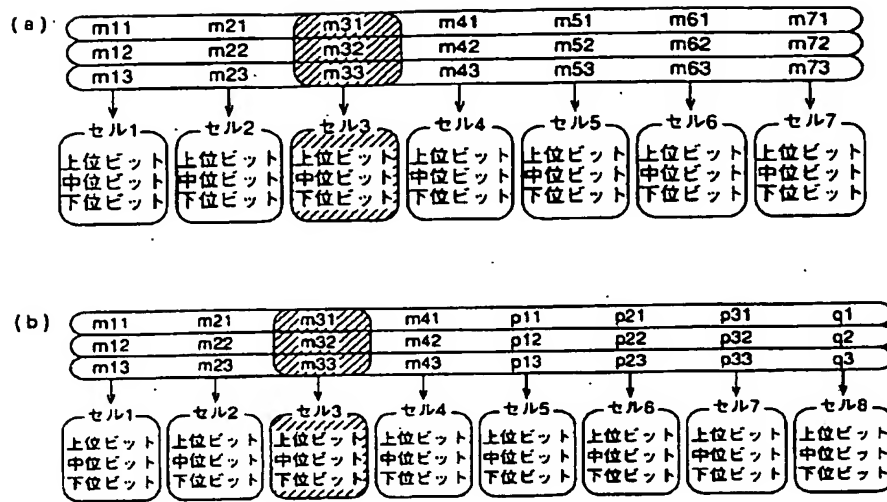
【図3】



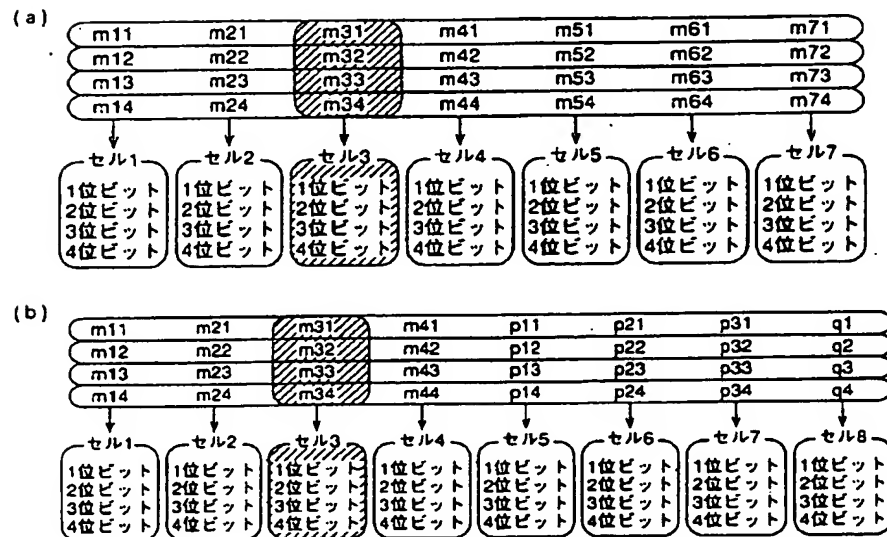
【図6】



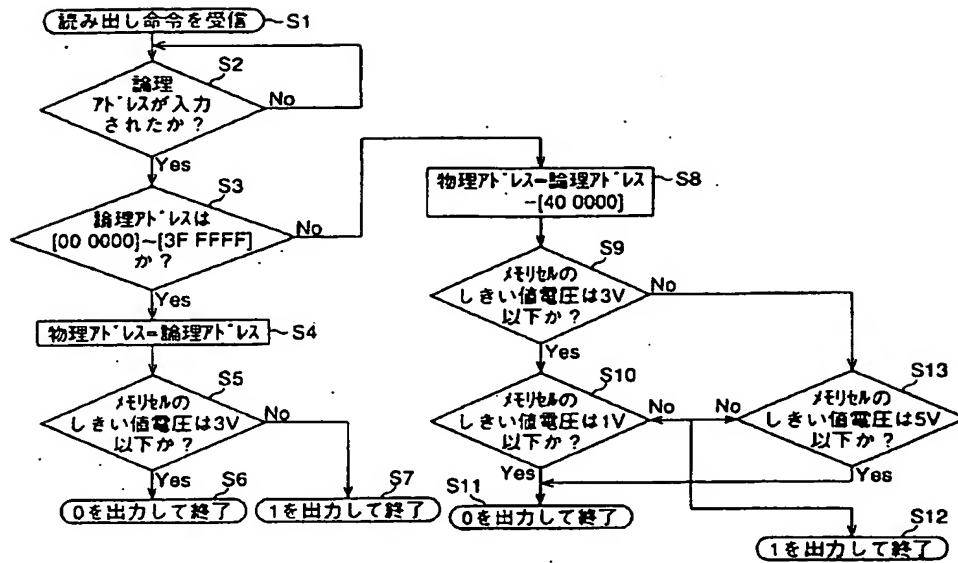
【図5】



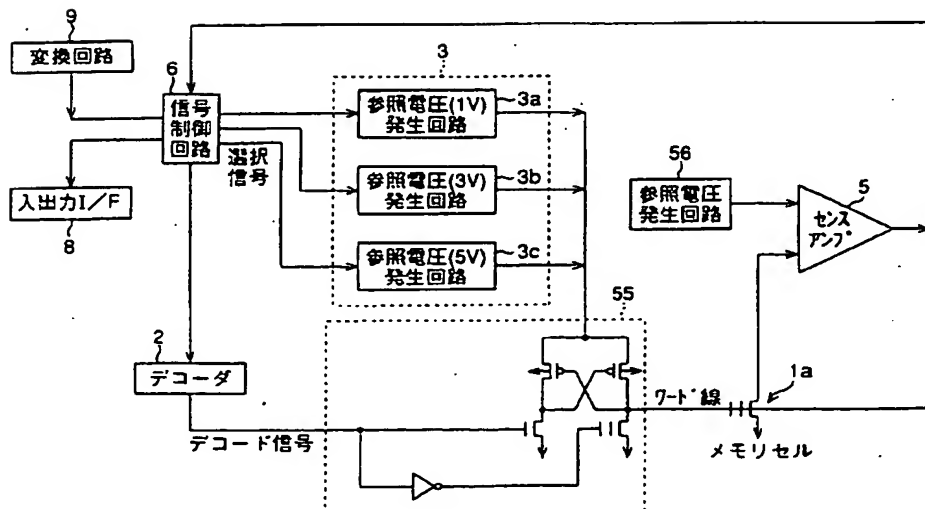
【図7】



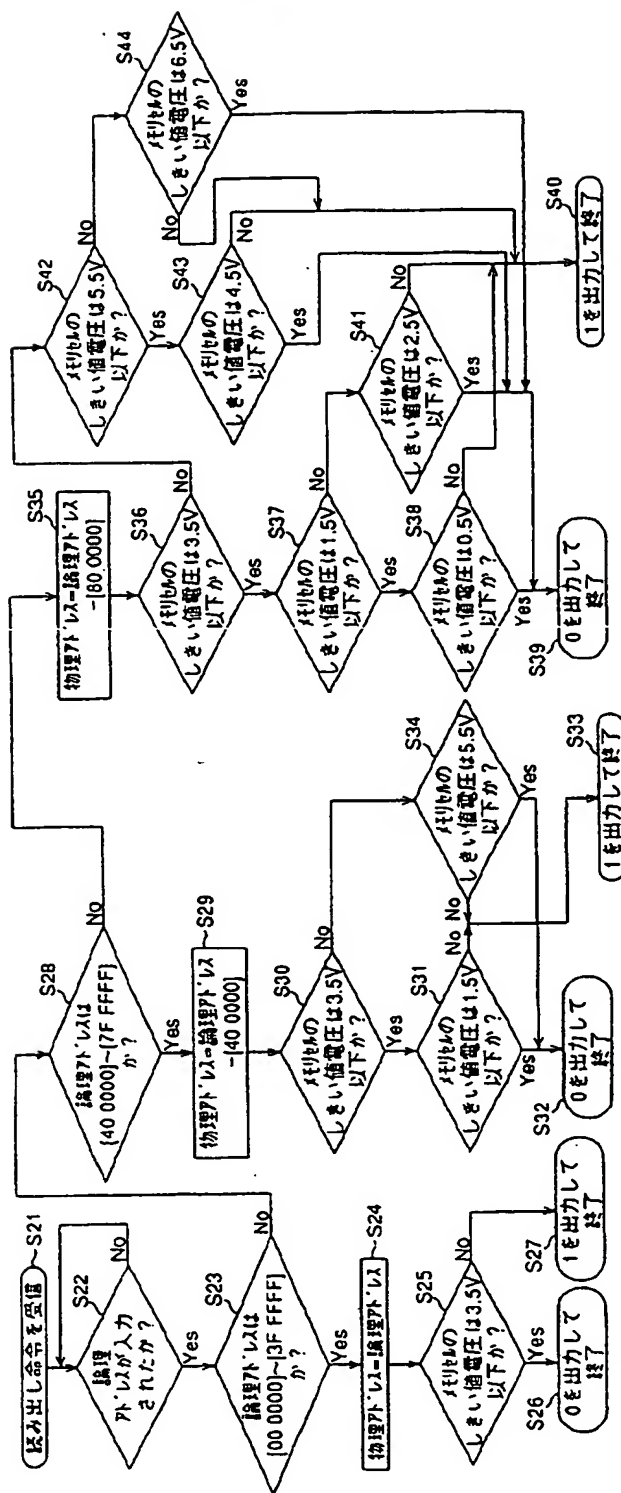
【図8】



【図9】



【図10】



【図11】

